

Docket No.: 60188-693

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yoshiyuki SHIBATA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 29, 2003	:	Examiner: Unknown
	:	
For:		SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-023542, filed January 31, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: October 29, 2003

60188-693
SHIBATA
October 29, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE *McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月31日

出 願 番 号

Application Number:

特願2003-023542

[ST.10/C]:

[JP 2003-023542]

出 願 人

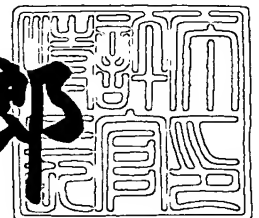
Applicant(s):

松下電器産業株式会社

2003年 6月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047167

【書類名】 特許願

【整理番号】 2926440133

【提出日】 平成15年 1月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 柴田 義行

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の容量を持つ第 1 のメモリセルからなる第 1 の D R A M 部と、前記第 1 の容量と異なる第 2 の容量を持つ第 2 のメモリセルからなる第 2 の D R A M 部とが同一の半導体基板上に設けられていることを特徴とする半導体装置。

【請求項 2】 前記第 1 の D R A M 部の動作電圧は前記第 2 の D R A M 部よりも高いと共に、前記第 1 の容量は前記第 2 の容量よりも小さいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 のメモリセルの容量下部電極は前記半導体基板中に設けられていると共に、前記第 2 のメモリセルの容量上部電極及び容量下部電極はいずれも前記半導体基板中に設けられていないことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記第 1 のメモリセルの容量下部電極はシリコンからなり且つその表面が粗面化されていないと共に、前記第 2 のメモリセルの容量下部電極はシリコンからなり且つその表面が粗面化されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記第 1 のメモリセルの容量絶縁膜と前記第 2 のメモリセルの容量絶縁膜とは互いに異なる材料から構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 第 1 の容量素子を持つ第 1 のメモリセルからなる第 1 の D R A M 部と、第 2 の容量素子を持つ第 2 のメモリセルからなる第 2 の D R A M 部とが同一の半導体基板上に設けられ、

前記半導体基板と前記第 1 の容量素子とは第 1 のプラグにより接続されていると共に、前記半導体基板と前記第 2 の容量素子とは第 2 のプラグにより接続されており、

前記第 1 のプラグと前記第 2 のプラグとは互いに異なる材料から構成されていることを特徴とする半導体装置。

【請求項 7】 前記第 1 のプラグと前記半導体基板との接触抵抗と、前記第 2 のプラグと前記半導体基板との接触抵抗とは異なっていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 半導体基板における第 1 のメモリ領域の上に第 1 の容量絶縁膜及び第 1 の容量上部電極を順次形成することにより、第 1 の容量素子を形成する工程と、

前記第 1 の容量素子が形成された前記半導体基板の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜における第 2 のメモリ領域に、前記半導体基板と接続するプラグを形成する工程と、

前記層間絶縁膜における前記第 2 のメモリ領域の上に、前記プラグと接続する第 2 の容量下部電極、第 2 の容量絶縁膜及び第 2 の容量上部電極を順次形成することにより、第 2 の容量素子を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板上に層間絶縁膜を形成する工程と、

前記層間絶縁膜における第 1 のメモリ領域及び第 2 のメモリ領域に、それぞれ前記半導体基板と接続する第 1 のプラグ及び第 2 のプラグを形成する工程と、

前記層間絶縁膜における前記第 1 のメモリ領域の上に、シリコンからなり且つ前記第 1 のプラグと接続する第 1 の容量下部電極を形成すると共に、前記層間絶縁膜における前記第 2 のメモリ領域の上に、シリコンからなり且つ前記第 2 のプラグと接続する第 2 の容量下部電極を形成する工程と、

前記第 2 の容量下部電極の表面のみを選択的に粗面化する工程と、

前記第 1 の容量下部電極の上に第 1 の容量絶縁膜を介して第 1 の容量上部電極を形成することにより、第 1 の容量素子を形成すると共に、粗面化された前記第 2 の容量下部電極の上に第 2 の容量絶縁膜を介して第 2 の容量上部電極を形成することにより、第 2 の容量素子を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 10】 前記第 1 及び第 2 の容量下部電極を形成する工程と前記第 2 の容量下部電極の表面を粗面化する工程との間に、前記第 2 の容量下部電極の表

面を覆う自然酸化膜をフッ化水素酸を用いて除去する工程を備え、

前記第 2 の容量下部電極の表面を粗面化する工程は、シリコン含有ガス雰囲気中で前記半導体基板に対して熱処理を行なう工程を含むことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 1 1】 半導体基板上に層間絶縁膜を形成する工程と、

前記層間絶縁膜における第 1 のメモリ領域及び第 2 のメモリ領域に、それぞれ前記半導体基板と接続する第 1 のプラグ及び第 2 のプラグを形成する工程と、

前記層間絶縁膜における前記第 1 のメモリ領域の上に、シリコンからなり且つ前記第 1 のプラグと接続する第 1 の容量下部電極を形成すると共に、前記層間絶縁膜における前記第 2 のメモリ領域の上に、シリコンからなり且つ前記第 2 のプラグと接続する第 2 の容量下部電極を形成する工程と、

前記第 1 の容量下部電極の上に、第 1 の材料からなる第 1 の容量絶縁膜を形成すると共に、前記第 2 の容量下部電極の上に、前記第 1 の材料と異なる第 2 の材料からなる第 2 の容量絶縁膜を形成する工程と、

前記第 1 の容量絶縁膜の上に第 1 の容量上部電極を形成することにより、第 1 の容量素子を形成すると共に、前記第 2 の容量絶縁膜の上に第 2 の容量上部電極を形成することにより、第 2 の容量素子を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 1 2】 半導体基板上に層間絶縁膜を形成する工程と、

前記層間絶縁膜における第 1 のメモリ領域に、前記半導体基板に達する第 1 のホールを形成する工程と、

前記第 1 のホールに、金属膜からなる第 1 のプラグを形成する工程と、

前記層間絶縁膜における第 2 のメモリ領域に、前記半導体基板に達する第 2 のホールを形成する工程と、

前記第 2 のホールに、シリコン膜からなる第 2 のプラグを形成する工程と、

前記層間絶縁膜における前記第 1 のメモリ領域の上に、前記第 1 のプラグと接続する第 1 の容量下部電極、第 1 の容量絶縁膜及び第 1 の容量上部電極を順次形成することにより、第 1 の容量素子を形成すると共に、前記層間絶縁膜における前記第 2 のメモリ領域の上に、前記第 2 のプラグと接続する第 2 の容量下部電極

、第2の容量絶縁膜及び第2の容量上部電極を順次形成することにより、第2の容量素子を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同一半導体基板上にCMOSロジック部と互いに用途の異なる複数のDRAM部とを混載した半導体装置、具体的には、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満足するDRAM混載システムLSIに関するものである。

【0002】

【従来の技術】

近年、多様化する半導体装置への要求を満足するために、従来別々のチップに搭載されていたCMOS (complementary metal oxide semiconductor) ロジック部と記憶装置としての汎用DRAM (dynamic random access memory) 部とを同一のチップに混載するDRAM混載システムLSIチップが注目されるようになった。

【0003】

DRAM混載システムLSIチップとは、例えば、画像処理等を行なうことを目的とする場合においては、画像情報としての信号を蓄積する記憶装置となるDRAM部と、DRAM部から必要な情報を取り出して、その情報をもとに演算処理を行なうCMOSロジック部とを同一のチップに混載したもののことである。

【0004】

以上のようなDRAM混載システムLSIチップによると、CMOSロジック部とDRAM部とを互いに異なるチップに搭載することによりデータあるいは情報のやり取りを行っていた従来と比べて、通信速度が速くなるといったメリットがある。尚、CMOSロジック部と複数のDRAM部とを混載する半導体装置は、例えばシリコン基板上に形成されたCMOSロジック部と、特定した一種類のセルキャパシタ（メモリセルのキャパシタ）をシリコン基板中に形成したいわ

ゆるトレンチ型キャパシタ、あるいはシリコン基板上に形成したいわゆるスタック型キャパシタを有するDRAM部とから構成される。

【0005】

また、従来は、CMOSロジック部及びDRAM部の占める面積が大きかったため、CMOSロジック部とDRAM部とを同一チップに混載することは技術的に困難であった。ところが、近年の微細化技術の進歩により、DRAM混載システムLSIチップであっても 100mm^2 以下のチップサイズが実現されている。このため、従来は同一チップにCMOSロジック部と用途に応じたDRAM部とがそれぞれ単体で搭載されていたが、同一チップにCMOSロジック部と用途に応じたDRAM部とがそれぞれ複数搭載される時代になった。

【0006】

【特許文献1】

特開2000-232076号公報

【0007】

【発明が解決しようとする課題】

ところが、従来のDRAM混載システムLSIチップでは、チップ上に複数のDRAM部が搭載されている場合であっても、全てのDRAM部が同一構造のセルキャパシタにより構成されているため、高速にアクセスする必要のあるDRAM部と、十分な信号保持特性を必要とするDRAM部とを両立することが困難であるという問題点がある。以下、具体的に説明する。

【0008】

図12(a)は、従来のDRAM混載システムLSIチップの概略構成を示す平面図である。

【0009】

図12(a)に示すように、チップ10上に、CMOSロジック部11が搭載されていると共に、互いに同一のセルキャパシタ構造を有する第1のDRAM部12及び第2のDRAM部13が搭載されている。第1のDRAM部12は、CMOSロジック部11に付属しているため、高速に動作することを目的とする。一方、第2のDRAM部13は、信号を十分保持しながら低消費電力で動作する

ことを目的とする。

【0010】

ところで、DRAMの個々のメモリセルに記憶された信号は、メモリセルのキャパシタに蓄積された電荷によって判定される。図12(b)は、図12(a)に示す第1のDRAM部12及び第2のDRAM部13のセルキャパシタに蓄積された電荷と基準電荷との関係を示す図である。図12(b)に示すように、判定の基準となる基準電荷を Q_s に設定したとすると、第1のDRAM部12及び第2のDRAM部13の個々のメモリセルに記憶された信号は、セルキャパシタに基準電荷 Q_s よりも大きい電荷 Q_h が蓄積されている場合はhighと、基準電荷 Q_s よりも小さい電荷 Q_l が蓄積されている場合はlowと判定される。

【0011】

しかしながら、メモリセルに記憶された信号がhighと判定される電荷 Q_h が蓄積されていたとしても、例えば、セルキャパシタを構成する容量絶縁膜でのリーク電流、トランスファークゲートのオフリーク電流又は基板コンタクト部（セルキャパシタと半導体基板との接続部）から半導体基板へのリーク電流などにより、信号保持状態が変わってしまうことがある。その結果、DRAM部のセルキャパシタにhighと判定される電荷が蓄積されていた場合であっても、時間の経過と共にセルキャパシタに蓄積されていた電荷が流出することにより、セルキャパシタの有する信号がhighと判定されなくなってしまうことがある。ここで、最初にセルキャパシタに蓄積される電荷を Q_h 、最初に電荷 Q_h が蓄積されてから経過した電荷保持時間を t 、電荷保持時間 t 後にセルキャパシタに蓄積されている電荷を Q' 、及び、セルキャパシタに蓄積された電荷を流失させるリーク電流を I_{leak} としたとき、 Q' は次式(1)で表すことができる。ただし、リーク電流は便宜的に時間に対して一定とした。

【0012】

$$Q' = Q_h - I_{leak} \times t \quad \cdots (1)$$

上式(1)に示すようにDRAM部のセルキャパシタに蓄積されている電荷は時間と共に減少する。このため、十分な信号保持特性を優先する場合、すなわち、電荷 Q' が電荷 Q_s 以下になるまでの電荷保持時間 t を長くすることを目的と

する場合には、最初にセルキャパシタに蓄積される電荷 Q_h を大きくする必要がある。すなわち、セルキャパシタ容量を 30 fF といった大きな容量にする必要がある。

【0013】

図12(c)は、図12(a)に示す第2のDRAM部13(書き込まれた信号を十分保持することを目的とするDRAM部)のメモリセルを示す等価回路図である。セルキャパシタにはC、トランスファークロウにはTを付す。このとき、セルキャパシタCの容量を前記のように 30 fF に設定した場合、印加される電圧 V_D を 1.0 V にすると、セルキャパシタCに蓄積される電荷は 30 fC になる。

【0014】

一方、第1のDRAM部12(信号が高速に書き込まれるDRAM部)では、メモリセルに書き込まれた信号を、lowからhighへ、及び、highからlowへ高速に変化させる必要があるために、セルキャパシタに蓄積される電荷の移動を高速で行なう必要がある。このため、セルキャパシタに多くの電荷が蓄積されていると、高速で移動させる電荷が多量になる。よって、セルキャパシタ容量を大きくすると、多量の電荷を移動させる必要があるため、低消費電力及び高速性能を満足することができない。

【0015】

また、携帯端末等を対象としたデバイスでは、同一半導体基板に搭載された複数のDRAM部に互いに異なる動作電圧が設定されている。例えば、高速処理が必要なDRAM部には 2.5 V 又は 3.3 V 、低消費電力が要求されるDRAM部には 1.5 V 又は 1.2 V の動作電圧が設定されている。このため、それぞれのDRAM部のセルキャパシタは 2.5 V 又は 3.3 V 及び 1.5 V 又は 1.2 V の動作電圧で制御される。このとき、メモリセルが同一構造のセルキャパシタから構成されている場合には、動作電圧の低いDRAM部のセルキャパシタに蓄積される電荷の方が小さくなる。このため、動作電圧の低いDRAM部のセルキャパシタに蓄積される電荷が基準電荷よりも大きくなるようにセルキャパシタ容量を設定する必要がある。よって、動作電圧の高い他のDRAM部のメモリセル

を構成するセルキャパシタの容量も等しく設定される。したがって、高い動作電圧で制御されている D R A M 部のセルキャパシタには、必要以上の電荷が蓄積されるため、結果として動作速度の低下及び消費電力の増加を招いてしまうことになる。

【 0 0 1 6 】

前記に鑑み、本発明は、同一半導体基板上に C M O S ロジック部と、用途の異なる複数の D R A M 部とを混載する D R A M 混載デバイスにおいて、十分な信号保持特性を確保しながら、低消費電力及び高速性能を同時に満足できるようにすることを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

本発明に係る第 1 の半導体装置は、第 1 の容量を持つ第 1 のメモリセルからなる第 1 の D R A M 部と、第 1 の容量と異なる第 2 の容量を持つ第 2 のメモリセルからなる第 2 の D R A M 部とが同一の半導体基板上に設けられていることを特徴とする半導体装置である。

【 0 0 1 8 】

第 1 の半導体装置によると、同一の半導体基板上に第 1 の D R A M 部及び第 2 の D R A M 部が設けられていると共に、第 1 の D R A M 部を構成する第 1 のメモリセルに設定された第 1 の容量と、第 2 の D R A M 部を構成する第 2 のメモリセルに設定された第 2 の容量とが互いに異なっている。このとき、仮に第 1 の容量が第 2 の容量よりも小さく設定されているとすると、第 1 のメモリセルのキャパシタに蓄積される電荷が、第 2 のメモリセルのキャパシタに蓄積される電荷よりも小さくなる。このため、第 1 の D R A M 部では、信号処理を行なう際に多量の電荷を移動させずに済むため、消費電力を低減することができると共に電荷を迅速に移動させることができるので、高速な信号処理を行なうことができる。一方、第 2 の D R A M 部では、多量の電荷が蓄積されるため、十分な信号保持特性を満足することができる。

【 0 0 1 9 】

すなわち、第 1 の半導体装置によると、互いに異なる容量を持つ複数種類のメ

メモリセルを用いて複数のＤＲＡＭ部が構成されているため、各ＤＲＡＭ部の用途に応じてメモリセルの持つ容量を最適化することができる。このため、同一チップ上にＣＭＯＳロジック部と共に複数のＤＲＡＭ部が搭載されたＤＲＡＭ混載デバイスにおいても、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすことができる。

【 0 0 2 0 】

第１の半導体装置において、第１のＤＲＡＭ部の動作電圧は第２のＤＲＡＭ部よりも高いと共に、第１の容量は第２の容量よりも小さいことが好ましい。

【 0 0 2 1 】

このようにすると、動作電圧の高い第１のＤＲＡＭ部を構成する第１のメモリセルの第１の容量が小さく設定されると共に、動作電圧の小さい第２のＤＲＡＭ部を構成する第２のメモリセルの第２の容量が大きく設定される。このため、第１の半導体装置により得られる効果が確実に得られる。以下、その理由を説明する。同一の半導体基板上に動作電圧の異なるＤＲＡＭ部が複数設けられており、且つ、全てのＤＲＡＭ部を構成するメモリセルの容量がいずれも等しく設定されていたとすると、動作電圧の高いＤＲＡＭ部を構成するメモリセルの容量素子には、動作電圧の低いＤＲＡＭ部を構成するメモリセルの容量素子に蓄積される電荷よりも多くの電荷が蓄積される。ところが、動作電圧の低いＤＲＡＭ部を構成するメモリセルの容量は、容量素子に基準電荷以上の電荷が蓄積されるように設定される必要がある。このような場合、動作電圧の高いＤＲＡＭ部を構成するメモリセルの容量素子には、必要以上の電荷が蓄積されることになる。その結果、信号処理を行なう際に、必要以上に蓄積された電荷を移動させなければならないため、動作速度の劣化及び消費電力の増加を招くことになる。したがって、以上の理由により、動作電圧が互いに異なるＤＲＡＭ部が搭載されている場合であっても、動作電圧の高い第１のＤＲＡＭ部を構成する第１のメモリセルが持つ第１の容量を小さく設定すると共に動作電圧の低い第２のＤＲＡＭ部を構成する第２のメモリセルが持つ第２の容量を大きく設定することにより、容量素子が持つ容量を個々のＤＲＡＭ部の用途に応じて最適化すれば、第１の半導体装置により得られる効果が確実に得られる。

【 0 0 2 2 】

第 1 の半導体装置において、第 1 のメモリセルの容量下部電極は半導体基板中に設けられていると共に、第 2 のメモリセルの容量上部電極及び容量下部電極はいずれも半導体基板中に設けられていないことが好ましい。

【 0 0 2 3 】

このようにすると、第 1 のメモリセルの容量下部電極は半導体基板中に設けられているのに対して、第 2 のメモリセルの容量下部電極及び容量上部電極は半導体基板中に設けられていないため、第 2 のメモリセルの容量素子を形成する領域を第 1 のメモリセルの容量素子を形成する領域よりも広くすることができる。その結果、第 1 のメモリセルが持つ第 1 の容量を、第 2 のメモリセルが持つ第 2 の容量よりも小さくすることにより、第 1 の半導体装置により得られる効果が確実に得られる。

【 0 0 2 4 】

また、第 1 のメモリセルの容量下部電極が半導体基板中に設けられていることにより、第 1 のメモリセルの容量素子と半導体基板とを接続するためのプラグが存在しない。このため、プラグと半導体基板との接触部に生じる抵抗（接触抵抗）及びプラグの抵抗もまた存在しない。その結果、第 1 のメモリセルから構成される第 1 の D R A M 部では、信号処理を行なう際に生じる電荷移動に対する抵抗が低くなるため、高速処理を行なうことができる。これに対して、第 2 のメモリセルの容量下部電極及び容量上部電極は半導体基板中には設けられていないため、第 2 のメモリセルの容量素子と半導体基板とを接続するためのプラグを設ける必要がある。このため、プラグと半導体基板との接触抵抗及びプラグの抵抗が存在する。その結果、第 2 のメモリセルの容量素子に蓄積された電荷がプラグを介して半導体基板へと流失するリーク電流が低減される。これにより、第 2 のメモリセルから構成される第 2 の D R A M 部では、容量素子に蓄積された電荷が流失しにくくなっているため、記憶した信号を十分保持することができると共に電荷を補充するための消費電力を低減することができる。

【 0 0 2 5 】

すなわち、以上のように、メモリセルの容量素子と半導体基板とを接続するこ

とにより生じる抵抗を、DRAM部の個々の用途に応じて最適化すれば、同一チップ上にCMOSロジック部と共に複数のDRAM部が搭載されたDRAM混載デバイスにおいても、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすことができる。

【 0 0 2 6 】

また、第1のメモリセルの容量下部電極は半導体基板中に設けられているため、第1のメモリセルの容量素子と半導体基板との間を電荷が移動する距離を省くことができる。このため、電荷の移動を素早く完了させることができるので、第1のメモリセルには信号を高速に記憶させることができる。したがって、第1のメモリセルから構成される第1のDRAM部では、高速な信号処理を行なうことができる。

【 0 0 2 7 】

第1の半導体装置において、第1のメモリセルの容量下部電極はシリコンからなり且つその表面が粗面化されていないと共に、第2のメモリセルの容量下部電極はシリコンからなり且つその表面が粗面化されていることが好ましい。

【 0 0 2 8 】

このようにすると、第2のメモリセルの容量下部電極が選択的に粗面化されているため、第2のメモリセルの容量下部電極の表面積が、第1のメモリセルの容量下部電極の表面積よりも広くなる。すなわち、第2のメモリセルが持つ第2の容量を、第1のメモリセルが持つ第1の容量よりも大きくすることができる。したがって、第1の半導体装置により得られる効果が確実に得られる。

【 0 0 2 9 】

また、第2のメモリセルの容量下部電極の表面を粗面化しさえすれば、第1のメモリセル及び第2のメモリセルの構成及び材料を互いに同一にしながら前記の効果が確実に得られる。

【 0 0 3 0 】

第1の半導体装置において、第1のメモリセルの容量絶縁膜と第2のメモリセルの容量絶縁膜とは互いに異なる材料から構成されていることが好ましい。

【 0 0 3 1 】

このようにすると、第1のメモリセルの容量絶縁膜と第2のメモリセルの容量絶縁膜とが互いに異なる材料から構成されるため、それぞれの材料の誘電率の違いにより、例えば第2のメモリセルの第2の容量を第1のメモリセルの第1の容量よりも大きくすることができる。したがって、第1の半導体装置により得られる効果が確実に得られる。

【0032】

本発明に係る第2の半導体装置は、第1の容量素子を持つ第1のメモリセルからなる第1のDRAM部と、第2の容量素子を持つ第2のメモリセルからなる第2のDRAM部とが同一の半導体基板上に設けられ、半導体基板と第1の容量素子とは第1のプラグにより接続されていると共に、半導体基板と第2の容量素子とは第2のプラグにより接続されており、第1のプラグと第2のプラグとは互いに異なる材料から構成されていることを特徴とする半導体装置である。

【0033】

第2の半導体装置によると、同一の半導体基板上に互いに異なる第1のDRAM部及び第2のDRAM部が設けられていると共に、第1のDRAM部における第1の容量素子と半導体基板とを接続する第1のプラグと、第2のDRAM部における第2の容量素子と半導体基板とを接続する第2のプラグとが互いに異なる材料から構成されている。このため、第1のプラグ及び第2のプラグと半導体基板との接触部に生じるそれぞれの抵抗（接触抵抗）、並びに、第1のプラグ及び第2のプラグのそれぞれの抵抗を、第1のDRAM部及び第2のDRAM部の用途に応じて最適化することができる。ここで仮に、第1のプラグと半導体基板との接触抵抗と、第1のプラグの抵抗とを合わせた抵抗を、第2のプラグと半導体基板との接触抵抗と、第2のプラグの抵抗とを合わせた抵抗よりも小さくした場合を考える。この場合、第1のプラグを有する第1のメモリセルからなる第1のDRAM部では、信号処理を行なう際に生じる電荷移動に対する抵抗が低いため、高速な信号処理を行なうことができる。これに対して、第2のプラグを有する第2のメモリセルからなる第2のDRAM部では、前記の抵抗が高いため、第2の容量素子に蓄積された電荷が第2のプラグを介して半導体基板へと流失するリーク電流が低減される。よって、第2のDRAM部では、記憶された信号を十分

保持することができると共に電荷を補充するための消費電力を低減することができる。

【 0 0 3 4 】

すなわち、第2の半導体装置によると、容量素子と半導体基板とを接続するプラグが互いに異なるメモリセルを用いて複数のDRAM部が構成されているため、容量素子と半導体基板とを接続することにより生じる抵抗を、各DRAM部の用途に応じて最適化することができる。このため、同一チップ上にCMOSロジック部と共に複数のDRAM部が搭載されたDRAM混載デバイスにおいても、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすことができる。

【 0 0 3 5 】

第2の半導体装置において、第1のプラグと半導体基板との接触抵抗と、第2のプラグと半導体基板との接触抵抗とは異なっていることが好ましい。

【 0 0 3 6 】

このようにすると、第1のプラグ及び第2のプラグと半導体基板との接触抵抗をそれぞれ最適化することができる。例えば、第1のプラグ又は第2のプラグの一方と接続する半導体基板にシリサイド層が形成されている場合、接触抵抗を低くすることができる。したがって、第2の半導体装置により得られる効果が確実に得られる。

【 0 0 3 7 】

本発明に係る第1の半導体装置の製造方法は、半導体基板における第1のメモリ領域の上に第1の容量絶縁膜及び第1の容量上部電極を順次形成することにより、第1の容量素子を形成する工程と、第1の容量素子が形成された半導体基板の上に層間絶縁膜を形成する工程と、層間絶縁膜における第2のメモリ領域に、半導体基板と接続するプラグを形成する工程と、層間絶縁膜における第2のメモリ領域の上に、プラグと接続する第2の容量下部電極、第2の容量絶縁膜及び第2の容量上部電極を順次形成することにより、第2の容量素子を形成する工程とを備えていることを特徴とする半導体装置の製造方法である。

【 0 0 3 8 】

第 1 の半導体装置の製造方法によると、同一の半導体基板における第 1 のメモリ領域及び第 2 のメモリ領域に、互いに構成の異なる第 1 の容量素子及び第 2 の容量素子をそれぞれ形成する。このとき、第 1 のメモリ領域では、第 1 の容量素子を半導体基板に直接形成する。これに対して、第 2 のメモリ領域では、第 2 の容量素子を半導体基板上に形成した層間絶縁膜の上にプラグを介して形成するため、第 2 の容量素子を形成する領域を、第 1 のメモリ領域に第 1 の容量素子を形成する領域よりも広くすることができる。すなわち、第 1 のメモリ領域の第 1 の容量素子の容量を、第 2 のメモリ領域の第 2 の容量素子の容量よりも小さくすることができる。このため、第 1 の容量素子を有するメモリセルからなる D R A M 部を第 1 のメモリ領域に形成した場合、その D R A M 部では、信号処理を行なう際に多量の電荷を移動させずに済むため、消費電力を低減することができると共に電荷を迅速に移動させることができるので、高速な信号処理を行なうことができる。一方、第 2 の容量素子を有するメモリセルからなる D R A M 部を第 2 のメモリ領域に形成した場合、その D R A M 部では、多量の電荷が蓄積されるため、十分な信号保持特性を満足することができる。

【 0 0 3 9 】

すなわち、第 1 の半導体装置の製造方法によると、互いに異なる容量を持つ複数種類の容量素子を用いて複数の D R A M 部が構成されているため、各 D R A M 部の用途に応じて容量素子の容量を最適化することができる。このため、同一チップ上に C M O S ロジック部と共に複数の D R A M 部が搭載された D R A M 混載デバイスにおいても、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすことができる。

【 0 0 4 0 】

また、第 1 のメモリ領域では、第 1 の容量素子を半導体基板に直接形成するため、第 1 の容量素子と半導体基板とを接続するためのプラグを形成する必要がない。このため、プラグと半導体基板との接触抵抗及びプラグの抵抗が存在しない。その結果、第 1 の容量素子を有するメモリセルからなる D R A M 部を第 1 のメモリ領域に形成した場合、その D R A M 部では、信号処理を行なう際に生じる電荷移動に対する抵抗が低いため、高速処理を行なうことができる。これに対して

、第2のメモリ領域では、第2の容量素子を半導体基板上に形成した層間絶縁膜の上にプラグを介して形成するため、プラグと半導体基板との接触抵抗及びプラグの抵抗が存在する。その結果、第1の容量素子に蓄積された電荷がプラグを介して半導体基板へ流失するリーク電流が低減される。これにより、第2の容量素子を有するメモリセルからなるDRAM部を第2のメモリ領域に形成した場合、そのDRAM部では、第2の容量素子から電荷が流失しにくくなっているため、記憶された信号を十分保持することができると共に電荷を補充するための消費電力を低減することができる。

【0041】

すなわち、第1の半導体装置の製造方法によると、半導体基板と容量素子とを接続することにより生じる抵抗を、各DRAM部の用途に応じて最適化することができるため、同一チップ上にCMOSロジック部と共に複数のDRAM部が搭載されたDRAM混載デバイスにおいても、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすことができる。

【0042】

また、第1のメモリ領域では、第1の容量素子を半導体基板に直接形成するため、第1の容量素子と半導体基板との間を電荷が移動する距離を省くことができる。このため、電荷の移動を素早く完了させることができるので、第1の容量素子には信号を高速に記憶させることができる。したがって、第1の容量素子を有するメモリセルからなるDRAM部では、高速な信号処理を行なうことができる。

【0043】

本発明に係る第2の半導体装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、層間絶縁膜における第1のメモリ領域及び第2のメモリ領域に、それぞれ半導体基板と接続する第1のプラグ及び第2のプラグを形成する工程と、層間絶縁膜における第1のメモリ領域の上に、シリコンからなり且つ第1のプラグと接続する第1の容量下部電極を形成すると共に、層間絶縁膜における第2のメモリ領域の上に、シリコンからなり且つ第2のプラグと接続する第2の容量下部電極を形成する工程と、第2の容量下部電極の表面のみを選択的に粗面化す

る工程と、第1の容量下部電極の上に第1の容量絶縁膜を介して第1の容量上部電極を形成することにより、第1の容量素子を形成すると共に、粗面化された第2の容量下部電極の上に第2の容量絶縁膜を介して第2の容量上部電極を形成することにより、第2の容量素子を形成する工程とを備えていることを特徴とする半導体装置の製造方法である。

【 0 0 4 4 】

第2の半導体装置の製造方法によると、同一の半導体基板における第1のメモリ領域及び第2のメモリ領域に、互いに異なる第1の容量素子及び第2の容量素子をそれぞれ形成する。このとき、第2のメモリ領域の第2の容量下部電極の表面のみを選択的に粗面化する。このため、第2のメモリ領域の第2の容量下部電極の表面積が、第1のメモリ領域の第1の容量下部電極の表面積よりも広くなる。すなわち、第2の容量素子の容量が第1の容量素子の容量よりも大きくなる。その結果、第1の容量素子を有するメモリセルからなるDRAM部を第1のメモリ領域に形成した場合、そのDRAM部では、信号処理を行なう際に多量の電荷を移動させずに済むため、消費電力を低減することができると共に電荷を迅速に移動させることができるので、高速な信号処理を行なうことができる。一方、第2の容量素子を有するメモリセルからなるDRAM部を第2のメモリ領域に形成した場合、そのDRAM部では、多量の電荷が蓄積されるため、十分な信号保持特性を満足することができる。

【 0 0 4 5 】

すなわち、第2の半導体装置の製造方法によると、互いに異なる容量を持つ複数種類の容量素子を用いて複数のDRAM部が構成されるため、各DRAM部の用途に応じて容量素子の容量を最適化することができる。このため、同一チップ上にCMOSロジック部と共に複数のDRAM部が搭載されたDRAM混載デバイスにおいても、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすことができる。

【 0 0 4 6 】

また、第2のメモリ領域の第2の容量下部電極の表面を粗面化しさえすれば、第1の容量素子及び第2の容量素子を有するメモリセルの構成及び材料が互いに

同一であったとしても、前記の効果が確実に得られる。

【 0 0 4 7 】

第 2 の半導体装置の製造方法において、第 1 及び第 2 の容量下部電極を形成する工程と第 2 の容量下部電極の表面を粗面化する工程との間に、第 2 の容量下部電極の表面を覆う自然酸化膜をフッ化水素酸を用いて除去する工程を備え、第 2 の容量下部電極の表面を粗面化する工程は、シリコン含有ガス雰囲気中で半導体基板に対して熱処理を行なう工程を含むことが好ましい。

【 0 0 4 8 】

このようにすると、第 2 の容量下部電極を粗面化する前に、第 2 の容量下部電極の表面を覆う自然酸化膜をフッ化水素酸を用いて除去することができる。このため、その後に行なう半導体基板に対するシリコン含有ガス雰囲気中での熱処理により、第 2 の下部電極の表面にシリコン含有ガスを構成する粒子を確実に付着させることができる。その結果、第 2 の容量下部電極の表面に半球状の凹凸面が確実に形成されるため、第 2 の容量下部電極の表面積が、第 1 の容量下部電極の表面積よりも確実に広くなる。したがって、第 2 の半導体装置の製造方法により得られる効果が確実に得られる。

【 0 0 4 9 】

本発明に係る第 3 の半導体装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、層間絶縁膜における第 1 のメモリ領域及び第 2 のメモリ領域に、それぞれ半導体基板と接続する第 1 のプラグ及び第 2 のプラグを形成する工程と、層間絶縁膜における第 1 のメモリ領域の上に、シリコンからなり且つ第 1 のプラグと接続する第 1 の容量下部電極を形成すると共に、層間絶縁膜における第 2 のメモリ領域の上に、シリコンからなり且つ第 2 のプラグと接続する第 2 の容量下部電極を形成する工程と、第 1 の容量下部電極の上に、第 1 の材料からなる第 1 の容量絶縁膜を形成すると共に、第 2 の容量下部電極の上に、第 1 の材料と異なる第 2 の材料からなる第 2 の容量絶縁膜を形成する工程と、第 1 の容量絶縁膜の上に第 1 の容量上部電極を形成することにより、第 1 の容量素子を形成すると共に、第 2 の容量絶縁膜の上に第 2 の容量上部電極を形成することにより、第 2 の容量素子を形成する工程とを備えていることを特徴とする半導体装置の製造方

法である。

【 0 0 5 0 】

第 3 の半導体装置の製造方法によると、同一の半導体基板における第 1 のメモリ領域及び第 2 のメモリ領域に、互いに異なる第 1 の容量素子及び第 2 の容量素子をそれぞれ形成する。このとき、第 1 の容量素子を構成する第 1 の容量絶縁膜及び第 2 の容量素子を構成する第 2 の容量絶縁膜をそれぞれ互いに異なる第 1 の材料及び第 2 の材料から形成する。このため、第 1 の容量素子の容量を第 2 の容量素子の容量と異なるように設定することができる。仮に第 1 の容量素子の容量が第 2 の容量素子の容量よりも小さいとすると、第 1 の容量素子を有するメモリセルからなる D R A M 部を第 1 のメモリ領域に形成した場合、その D R A M 部では、信号処理を行なう際に多量の電荷を移動させずに済むため、消費電力を低減することができると共に電荷を迅速に移動させることができるので、高速な信号処理を行なうことができる。一方、第 2 の容量素子を有するメモリセルからなる D R A M 部を第 2 のメモリ領域に形成した場合、その D R A M 部では、多量の電荷が蓄積されるため、十分な信号保持特性を満足することができる。

【 0 0 5 1 】

すなわち、第 3 の半導体装置の製造方法によると、互いに異なる容量を持つ複数種類の容量素子を用いて複数の D R A M 部が構成されるため、各 D R A M 部の用途に応じて容量素子の容量を最適化することができる。このため、同一チップ上に C M O S ロジック部と共に複数の D R A M 部が搭載された D R A M 混載デバイスにおいても、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすことができる。

【 0 0 5 2 】

本発明に係る第 4 の半導体装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、層間絶縁膜における第 1 のメモリ領域に、半導体基板に達する第 1 のホールを形成する工程と、第 1 のホールに、金属膜からなる第 1 のプラグを形成する工程と、層間絶縁膜における第 2 のメモリ領域に、半導体基板に達する第 2 のホールを形成する工程と、第 2 のホールに、シリコン膜からなる第 2 のプラグを形成する工程と、層間絶縁膜における第 1 のメモリ領域の上に、第 1 のプ

ラグと接続する第1の容量下部電極、第1の容量絶縁膜及び第1の容量上部電極を順次形成することにより、第1の容量素子を形成すると共に、層間絶縁膜における第2のメモリ領域の上に、第2のプラグと接続する第2の容量下部電極、第2の容量絶縁膜及び第2の容量上部電極を順次形成することにより、第2の容量素子を形成する工程とを備えていることを特徴とする半導体装置の製造方法である。

【 0 0 5 3 】

第4の半導体装置の製造方法によると、同一の半導体基板における第1のメモリ領域及び第2のメモリ領域に、第1の容量素子及び第2の容量素子をそれぞれ形成する。このとき、第1のメモリ領域の第1の容量素子と半導体基板とを接続させる金属膜からなる第1のプラグを形成すると共に、第2のメモリ領域の第2の容量素子と半導体基板とを接続させるシリコン膜からなる第2のプラグを形成する。このため、第1のプラグの抵抗を第2のプラグの抵抗よりも低くすることができる。また、第1のプラグと半導体基板との接触抵抗を、第2のプラグと半導体基板との接触抵抗よりも低くすることができる。その結果、第1の容量素子を有するメモリセルからなるDRAM部を第1のメモリ領域に形成した場合、そのDRAM部では、信号処理を行なう際に生じる電荷移動に対する抵抗が低いため、高速な信号処理を行なうことができる。これに対して、第2の容量素子を有するメモリセルからなるDRAM部を第2のメモリ領域に形成した場合、そのDRAM部では、第2の容量素子と半導体基板との間に生じる抵抗が高いため、第2の容量素子に蓄積された電荷が第2のプラグを介して半導体基板へ流失するリーク電流が低減される。その結果、第2の容量素子に蓄積された電荷が流失しにくくなるため、記憶された信号を十分保持することができると共に消費電力を低減することができる。

【 0 0 5 4 】

すなわち、第4の半導体装置の製造方法によると、容量素子と半導体基板とをプラグにより接続することにより生じる抵抗を、各DRAM部の用途に応じて最適化することができる。このため、同一チップ上にCMOSロジック部と共に複数のDRAM部が搭載されたDRAM混載デバイスにおいても、十分な信号保持

特性を確保しながら低消費電力化と高速性能化とを同時に満たすことができる。

【 0 0 5 5 】

尚、第 4 の半導体装置の製造方法において、第 1 のプラグを形成する前に半導体基板に予めシリサイド層を形成してもよい。このようにすれば、第 1 のプラグと半導体基板との接触抵抗が低くなるため、第 4 の半導体装置の製造方法により得られる効果が確実に得られる。

【 0 0 5 6 】

また、第 4 の半導体装置の製造方法において、第 1 のホールを形成する工程と第 1 のプラグを形成する工程との間に、第 1 のホールにバリアメタル膜を形成する工程を含んでいてもよい。

【 0 0 5 7 】

【発明の実施の形態】

（第 1 の実施形態）

以下、本発明の第 1 の実施形態に係る半導体装置について図面を参照しながら説明する。

【 0 0 5 8 】

図 1（a）は、第 1 の実施形態に係る半導体装置の概略構成を示す平面図である。

【 0 0 5 9 】

図 1（a）に示すように、チップ 100 上に、CMOS ロジック部 101、第 1 の DRAM 部 102 及び第 2 の DRAM 部 103 が搭載されている。第 1 の DRAM 部 102 は、高速処理されるデータの一時蓄積、すなわち高速移動する電荷を蓄積することを目的とする。これに対して、第 2 の DRAM 部 103 は、書き込まれた信号を十分保持することを目的とする。

【 0 0 6 0 】

本実施形態の特徴は、第 1 の DRAM 部 102 及び第 2 の DRAM 部 103 を構成するメモリセルの容量を、それぞれの用途に応じて設定しているところにある。

【 0 0 6 1 】

図 1 (b) 及び (c) は、図 1 (a) に示す第 1 の DRAM 部 1 0 2 及び第 2 の DRAM 部 1 0 3 を構成するそれぞれのメモリセルを示す等価回路図である。

【 0 0 6 2 】

図 1 (b) に示すように、第 1 の DRAM 部 1 0 2 を構成するメモリセルは、第 1 のトランスファークゲート 1 0 4 A と第 1 のキャパシタ 1 0 5 A とからなる。また、図 1 (c) に示すように、第 2 の DRAM 部 1 0 3 を構成するメモリセルは、第 2 のトランスファークゲート 1 0 4 B と第 2 のキャパシタ 1 0 5 B とからなる。

【 0 0 6 3 】

ここで、第 1 のキャパシタ 1 0 5 A の容量を C_a と、第 1 のキャパシタ 1 0 5 A の電源電圧を V_{DDa} と、第 1 のキャパシタ 1 0 5 A のプレート電圧を V_{Pa} と、第 1 のキャパシタ 1 0 5 A に蓄積される電荷を Q_a とする。また、第 2 のキャパシタ 1 0 5 B の容量を C_b と、第 2 のキャパシタ 1 0 5 B の電源電圧を V_{DDb} と、第 2 のキャパシタ 1 0 5 B のプレート電圧を V_{Pb} と、第 2 のキャパシタ 1 0 5 B に蓄積される電荷を Q_b として、キャパシタの電荷蓄積特性について説明する。

【 0 0 6 4 】

図 1 (d) は、図 1 (b) に示す第 1 のキャパシタ 1 0 5 A の容量 C_a と、第 1 のキャパシタ 1 0 5 A の電極間に印加される動作電圧 ($V_{DDa} - V_{Pa}$) との関係を示すグラフである。また、図 1 (e) は、図 1 (c) に示す第 2 のキャパシタ 1 0 5 B の容量 C_b と、第 2 のキャパシタ 1 0 5 B の電極間に印加される動作電圧 ($V_{DDb} - V_{Pb}$) との関係を示すグラフである。具体的には、例えば第 1 の DRAM 部 1 0 2 の第 1 のキャパシタ 1 0 5 A においては、 $C_a = 6 \text{ fF}$ 及び ($V_{DDa} - V_{Pa}$) = 1. 2 V と設定されているのに対して、第 2 の DRAM 部 1 0 3 の第 2 のキャパシタ 1 0 5 B においては、 $C_b = 20 \text{ fF}$ 及び ($V_{DDb} - V_{Pb}$) = 0. 75 V と設定されている。このとき、キャパシタに蓄積される電荷は、図 1 (d) 及び (e) に示す斜線領域の面積を値として持つ物理量として表すことができる。したがって、第 1 のキャパシタ 1 0 5 A に蓄積される電荷は、次式 (2) により 7. 2 fC になる。

【 0 0 6 5 】

$$Q_a = C_a \times (V_{DDa} - V_{Pa}) = 6 \text{ f F} \times 1.2 \text{ V} = 7.2 \text{ f C} \dots (2)$$

一方、第2のキャパシタ105Bに蓄積される電荷は、次式(3)により15 f Cになる。

【 0 0 6 6 】

$$Q_b = C_b \times (V_{DDb} - V_{Pb}) = 20 \text{ f F} \times 0.75 \text{ V} = 15 \text{ f C} \dots (3)$$

これにより、第1のキャパシタ105Aに蓄積される電荷が、第2のキャパシタ105Bに蓄積される電荷よりも7.8 f C小さくなる。このため、本実施形態によると、動作電圧の高い第1のDRAM部102では、信号処理を行なう際に多量の電荷を移動させずに済むため、消費電力を低減することができると共に電荷を迅速に移動させることができるので、高速な信号処理を行なうことができる。一方、第2のDRAM部103では、多量の電荷が蓄積されるため、十分な信号保持特性を満足することができる。したがって、以上のように、メモリセルの容量を個々の用途に応じて最適化することにより、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすDRAM混載デバイスを実現することができる。尚、本実施形態によると、従来の半導体装置と同様に $C_a = C_b = 20 \text{ f F}$ と設定されている場合と比べて、第1のキャパシタ105Aに蓄積される電荷が16.8 f C小さくなる。このため、必要以上に蓄積される16.8 f Cの電荷を移動させるために消費する電力を省くことができると共に、必要以上に蓄積される電荷を移動させずに済むので、高速な信号処理を行なうことができる。

【 0 0 6 7 】

尚、第1の実施形態において、第1のキャパシタ105A及び第2のキャパシタ105Bのそれぞれの容量及びそれぞれに印加される電圧は、目的に応じた範囲内で任意に設定される。ただし、第1のキャパシタ105Aに蓄積される電荷 Q_a が第2のキャパシタ105Bに蓄積される電荷 Q_b よりも小さくなるようにする必要がある。

【 0 0 6 8 】

また、第1の実施形態において、第1のDRAM部102と第2のDRAM部

1 0 3 との動作電圧が互いに異なっていたが、動作電圧が同じ場合であっても、第 1 のキャパシタ 1 0 5 A の容量が第 2 のキャパシタ 1 0 5 B の容量よりも小さく設定されていれば、同様の効果が確実に得られる。

【 0 0 6 9 】

(第 2 の実施形態)

以下、第 2 の実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。尚、図 1 (a) は、本実施形態においても、本実施形態に係る半導体装置の概略構成を示す平面図である。

【 0 0 7 0 】

図 2 は、第 2 の実施形態に係る半導体装置を示す断面図、具体的には、図 1 (a) に示すチップ 1 0 0 上に搭載された第 1 の D R A M 部 1 0 2 及び第 2 の D R A M 部 1 0 3 のそれぞれを構成するメモリセルを示す断面図である。尚、第 1 の D R A M 部 1 0 2 及び第 2 の D R A M 部 1 0 3 が搭載されているそれぞれの領域を第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B とする。

【 0 0 7 1 】

図 2 に示すように、半導体基板 2 0 0 における第 1 のメモリ領域 R_A の上に、第 1 のゲート絶縁膜 2 0 2 A を介して第 1 のゲート電極 2 0 3 A が形成されている。これにより、第 1 のメモリ領域 R_A にトランスファークゲートが設けられる。半導体基板 2 0 0 における第 1 のメモリ領域 R_A の上に第 1 の容量絶縁膜 2 0 4 を介して第 1 の容量上部電極 2 0 5 が形成されている。半導体基板 2 0 0 における第 2 のメモリ領域 R_B の上に、第 2 のゲート絶縁膜 2 0 2 B を介して第 2 のゲート電極 2 0 3 B が形成されている。これにより、第 2 のメモリ領域 R_B にトランスファークゲートが設けられる。半導体基板 2 0 0 における第 1 のゲート電極 2 0 3 A の両側に位置する領域には、第 1 の拡散層 2 0 6 A が形成されている。第 1 の拡散層 2 0 6 A に接続されている拡散層 2 0 1 (第 1 の容量下部電極) 上に第 1 の容量絶縁膜 2 0 4 を介して第 1 の容量上部電極 2 0 5 が形成されている。これにより、第 1 のメモリ領域 R_A に第 1 の D R A M 部 1 0 2 のセルキャパシタが設けられる。半導体基板 2 0 0 における第 2 のゲート電極 2 0 3 B の両側に位置する領域には、第 2 の拡散層 2 0 6 B が形成されている。半導体基板 2 0 0、

第 1 のゲート電極 2 0 3 A、第 1 の容量上部電極 2 0 5 及び第 2 のゲート電極 2 0 3 B のそれぞれの上には、第 1 の層間絶縁膜 2 0 7 が形成されている。第 1 の層間絶縁膜 2 0 7 における第 2 のメモリ領域 R_B には、第 2 の拡散層 2 0 6 B と接続するコンタクトプラグ 2 0 8 が形成されている。第 1 の層間絶縁膜 2 0 7 における第 2 のメモリ領域 R_B の上に、円筒部分に底の部分を付けた形を有し且つコンタクトプラグ 2 0 8 と接続する第 2 の容量下部電極 2 0 9 が形成されている。第 2 の容量下部電極 2 0 9 を覆うように第 2 の容量絶縁膜 2 1 0 が形成されていると共に、第 2 の容量絶縁膜 2 1 0 を覆うように第 2 の容量上部電極 2 1 1 が形成されている。これにより、第 2 のメモリ領域 R_B に第 2 の DRAM 部 1 0 3 のセルキャパシタが設けられる。第 1 の層間絶縁膜 2 0 7 及び第 2 の容量上部電極 2 1 1 のそれぞれの上に、第 2 の層間絶縁膜 2 1 2 が形成されている。第 2 の層間絶縁膜 2 1 2 の上には配線層 2 1 3 が形成されている。配線層 2 1 3 の一部は、第 2 の層間絶縁膜 2 1 2 に形成されたコンタクトホールを通じて第 1 の容量上部電極 2 0 5 及び第 2 の容量上部電極 2 1 1 のそれぞれと接続するように形成されている。

【 0 0 7 2 】

次に、第 2 の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 7 3 】

図 3 (a) ~ (d) 及び図 4 (a) 、 (b) は、第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。尚、図 3 (a) ~ (d) 及び図 4 (a) 、 (b) において、図 2 に示す第 2 の実施形態に係る半導体装置と同一の部材には同一の符号を付す。

【 0 0 7 4 】

まず、図 3 (a) に示すように、半導体基板 2 0 0 における第 1 のメモリ領域 R_A のセルキャパシタ形成領域に不純物を注入することにより、第 1 の容量下部電極となる拡散層 2 0 1 を形成する。その後、半導体基板 2 0 0 の上に全面に亘って、例えば主成分がシリコン酸化膜からなる絶縁膜 2 0 2 、及び、例えばシリコン膜又はシリコンと金属との積層膜からなる電極膜 2 0 3 を順次形成する。

【 0 0 7 5 】

次に、図 3 (b) に示すように、フォトリソグラフィ法及びエッチングにより電極膜 2 0 3 及び絶縁膜 2 0 2 をパターンニングすることにより、半導体基板 2 0 0 における第 1 のメモリ領域 R_A に第 1 のゲート絶縁膜 2 0 2 A を介して第 1 のゲート電極 2 0 3 A を形成すると共に、第 1 の容量絶縁膜 2 0 4 を介して第 1 の容量上部電極 2 0 5 を形成する。これと同時に、半導体基板 2 0 0 における第 2 のメモリ領域 R_B に第 2 のゲート絶縁膜 2 0 2 B を介して第 2 のゲート電極 2 0 3 B を形成する。これにより、第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B のそれぞれにトランスファーゲートが設けられると共に、第 1 のメモリ領域 R_A に第 1 の DRAM 部 1 0 2 のセルキャパシタが設けられる。

【 0 0 7 6 】

次に、図 3 (c) に示すように、半導体基板 2 0 0 における第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B に不純物を注入することにより、それぞれ第 1 の拡散層 2 0 6 A 及び第 2 の拡散層 2 0 6 B を形成する。このとき、拡散層 2 0 1 に第 1 の拡散層 2 0 6 A が接続される。

【 0 0 7 7 】

次に、図 3 (d) に示すように、半導体基板 2 0 0 の上に全面に亘って、第 1 の層間絶縁膜 2 0 7 形成する。その後、第 1 の層間絶縁膜 2 0 7 における第 2 のメモリ領域 R_B に、第 2 の拡散層 2 0 6 B に達するコンタクトホールを、フォトリソグラフィ法及びエッチングにより形成する。その後、半導体基板 2 0 0 の上に全面に亘って、導電膜を、コンタクトホールが完全に埋まるように形成する。その後、第 1 の層間絶縁膜 2 0 7 上の不要な導電膜を除去することにより、コンタクトホール内に第 2 の拡散層 2 0 6 B と接続するコンタクトプラグ 2 0 8 を形成する。

【 0 0 7 8 】

次に、図 4 (a) に示すように、第 1 の層間絶縁膜 2 0 7 における第 2 のメモリ領域 R_B の上に、円筒部分に底の部分を付けた形を有し且つコンタクトプラグ 2 0 8 と接続する第 2 の容量下部電極 2 0 9 を形成する。第 2 の容量下部電極 2 0 9 は、例えばリン含有シリコンからなる。その後、第 2 の容量下部電極 2 0 9

を覆うように、例えばシリコン酸化膜とシリコン窒化膜との積層膜（ON膜）からなる第2の容量絶縁膜210を形成すると共に、第2の容量絶縁膜210を覆うように、例えばリン含有シリコンからなる第2の容量上部電極211を形成する。これにより、第2のメモリ領域 R_B に第2のDRAM部103のセルキャパシタが設けられる。

【0079】

次に、図4（b）に示すように、半導体基板200の上に全面に亘って、第2の層間絶縁膜212を形成する。その後、第2の層間絶縁膜212に、第1の容量上部電極205及び第2の容量上部電極211に到達するコンタクトホールを形成する。その後、第2の容量絶縁膜212の上に配線層213を形成する。このとき、配線層213の一部が第1の容量上部電極205及び第2の容量上部電極211のそれぞれと接続するように配線層213を形成する。以上により、第1のDRAM部102及び第2のDRAM部103をそれぞれ第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成する。

【0080】

第2の実施形態によると、第1のメモリ領域 R_A に形成されたセルキャパシタは、第1の拡散層206Aに接続されている拡散層201からなる第1の容量下部電極と、第1の容量絶縁膜204と、第1の容量上部電極205とから構成されているため、半導体基板200に直接形成されたプレーナ型キャパシタという構造を有する。これに対して、第2のメモリ領域 R_B に形成されたセルキャパシタは、第1の層間絶縁膜207上にコンタクトプラグ208を介して形成されたスタック型キャパシタという構造を有するため、第1のメモリ領域 R_A に形成されたプレーナ型キャパシタに比べて、第2のメモリ領域 R_B ではセルキャパシタを形成するために広い領域を利用することができる。更に、第2のメモリ領域 R_B に形成された第2の容量下部電極209は円筒構造を有しているため、第2の容量下部電極209の表面積が広がっている。すなわち、第2のメモリ領域 R_B に形成されたセルキャパシタの容量が、第1のメモリ領域 R_A に形成されたセルキャパシタの容量よりも大きくなっている。したがって、第1のメモリ領域 R_A に形成されたセルキャパシタを容量素子とする第1のDRAM部102では、

信号処理を行なう際に多量の電荷を移動させずに済むため、消費電力を低減することができると共に電荷を迅速に移動させることができるので、高速な処理を行なうことができる。一方、第2のメモリ領域 R_B に形成されたセルキャパシタを容量素子とする第2のDRAM部103では、多量の電荷を蓄積することができるため、十分な信号保持特性を満足することができる。

【0081】

すなわち、本実施形態のように、セルキャパシタの容量を各DRAM部の用途に応じて最適化すると、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすDRAM混載デバイスを実現することができる。

【0082】

また、第2の実施形態によると、第1のメモリ領域 R_A に形成されたセルキャパシタが、半導体基板200に直接形成されているため、セルキャパシタと第1の拡散層206Aとを接続するためのコンタクトプラグが存在しない。このため、コンタクトプラグと第1の拡散層206Aとの接触抵抗及びコンタクトプラグの抵抗もまた存在しない。すなわち、第1のメモリ領域 R_A では、トランスファークラークからセルキャパシタの第1の容量下部電極（拡散層201）までの抵抗が第1の拡散層206A内の拡散抵抗のみになる。具体的にその拡散抵抗は5 Ω 程度の低い抵抗になる。その結果、第1のメモリ領域 R_A に形成されたセルキャパシタを容量素子とする第1のDRAM部102では、信号処理を行なう際に生じる電荷移動に対する抵抗が低くなっているため、高速処理を行なうことができる。これに対して、第2のメモリ領域 R_B に形成されたセルキャパシタは、第1の層間絶縁膜207の上にコンタクトプラグ208を介して形成されているため、コンタクトプラグ208と第2の拡散層206Bとの接触抵抗とコンタクトプラグ208の抵抗とを合わせた抵抗、具体的には10k Ω 程度の高い抵抗が存在する。このため、第2のメモリ領域 R_B に形成されたセルキャパシタに蓄積された電荷がコンタクトプラグ208を介して第2の拡散層206Bから半導体基板200へ流失することにより生じるリーク電流が、具体的には1fA以下まで低減される。これにより、第2のメモリ領域 R_B に形成されセルキャパシタを容量素子とする第2のDRAM部103では、セルキャパシタに蓄積された電荷が流

失しくくなっているため、記憶された信号を十分に保持することができると共に電荷を補充するために消費する電力を低減することができる。

【 0 0 8 3 】

すなわち、本実施形態のように、セルキャパシタと半導体基板 2 0 0 とを接続することにより生じる抵抗を、各 D R A M 部の用途に応じて最適化すれば、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たす D R A M 混載デバイスを実現することができる。

【 0 0 8 4 】

また、第 2 の実施形態によると、第 1 のメモリ領域 R_A に形成されたセルキャパシタの容量下部電極が、第 1 の拡散層 2 0 6 A に接続されている拡散層 2 0 1 で代用されているため、第 1 のメモリ領域 R_A では、セルキャパシタと半導体基板 2 0 0 との間を電荷が移動する距離を省くことができる。このため、電荷の移動を素早く完了させることができるので、第 1 のメモリ領域 R_A に形成されたセルキャパシタを容量素子とする第 1 の D R A M 部 1 0 2 では、セルキャパシタに信号を高速に記憶させることができるため、高速な信号処理を行なうことができる。

【 0 0 8 5 】

尚、第 2 の実施形態において、第 2 のメモリ領域 R_B に円筒構造を有するように形成された第 2 の容量下部電極 2 0 9 の両面をセルキャパシタとして利用したが、内面のみをセルキャパシタとして利用してもよい。

【 0 0 8 6 】

また、第 2 の実施形態において、第 2 のメモリ領域 R_B に形成されたセルキャパシタの構造として円筒構造を用いたが、これに代えて、円柱構造あるいはその他の構造を用いてもよい。

【 0 0 8 7 】

また、第 2 の実施形態において、第 1 のメモリ領域 R_A に形成されたセルキャパシタの構造としてプレーナ型キャパシタを用いたが、半導体基板 2 0 0 中に形成されたホール内に形成されるいわゆるトレンチ型キャパシタを用いてもよい。

【 0 0 8 8 】

また、第 2 の実施形態に係る半導体装置の製造方法において、絶縁膜 2 0 2 として、主成分をシリコン酸化膜とする絶縁膜を用いたが、これに代えて、他の絶縁膜を用いてもよい。

【 0 0 8 9 】

また、第 2 の実施形態に係る半導体装置の製造方法において、電極膜 2 0 3 としてシリコン膜又はシリコンと金属との積層膜を用いたが、これに代えて、他の導電膜を用いてもよい。

【 0 0 9 0 】

また、第 2 の実施形態に係る半導体装置の製造方法において、第 2 のメモリ領域 R_B では第 2 の容量下部電極 2 0 9 及び第 2 の容量上部電極 2 1 1 としてリン含有シリコンを用いたが、これに代えて、他の不純物を含有したシリコン、あるいは他の金属を用いてもよい。

【 0 0 9 1 】

また、第 2 の実施形態に係る半導体装置の製造方法において、第 2 のメモリ領域 R_B では第 2 の容量絶縁膜 2 1 0 として ON 膜を用いたが、これに代えて、他の容量絶縁膜を用いてもよい。

【 0 0 9 2 】

(第 3 の実施形態)

以下、第 3 の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。尚、図 1 (a) は、本実施形態においても、本実施形態に係る半導体装置の概略構成を示す平面図である。

【 0 0 9 3 】

図 5 は、第 3 の実施形態に係る半導体装置を示す断面図、具体的には、図 1 (a) に示すチップ 1 0 0 上に搭載された第 1 の DRAM 部 1 0 2 及び第 2 の DRAM 部 1 0 3 のそれぞれを構成するメモリセルを示す断面図である。尚、第 1 の DRAM 部 1 0 2 及び第 2 の DRAM 部 1 0 3 が搭載されているそれぞれの領域を第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B とする。

【 0 0 9 4 】

図 5 に示すように、半導体基板 3 0 0 における第 1 のメモリ領域 R_A の上に、

第1のゲート絶縁膜301Aを介して第1のゲート電極302Aが形成されている。これにより、第1のメモリ領域 R_A にトランスファークゲートが設けられる。半導体基板300における第2のメモリ領域 R_B の上に、第2のゲート絶縁膜301Bを介して第2のゲート電極302Bが形成されている。これにより、第2のメモリ領域 R_B にトランスファークゲートが設けられる。半導体基板300における第1のゲート電極302Aの両側に位置する領域には第1の拡散層303Aが形成されている。半導体基板300における第2のゲート電極302Bの両側に位置する領域には第2の拡散層303Bが形成されている。半導体基板300、第1のゲート電極302A及び第2のゲート電極302Bのそれぞれの上には、第1の層間絶縁膜304が形成されている。第1の層間絶縁膜304における第1のメモリ領域 R_A には、第1の拡散層303Aと接続する例えばシリコンからなる第1のコンタクトプラグ305Aが形成されている。第1の層間絶縁膜304における第2のメモリ領域 R_B に、第2の拡散層303Bと接続する例えばシリコンからなる第2のコンタクトプラグ305Bが形成されている。第1の層間絶縁膜304における第1のメモリ領域 R_A の上に、円筒部分に底の部分をつけた形を有し、第1のコンタクトプラグ305Aと接続し、且つシリコンからなる第1の容量下部電極306Aが形成されている。第1の層間絶縁膜304における第2のメモリ領域 R_B の上に、円筒部分に底の部分をつけた形を有し、第2のコンタクトプラグ305Bと接続し、且つシリコンからなる第2の容量下部電極306Bが形成されている。第2のメモリ領域 R_B の第2の容量下部電極306Bの表面は、半球状の凹凸を有する粗面308になっている。第1の容量下部電極306Aを覆うように、例えばON膜あるいは高誘電率を有する金属酸化膜からなる第1の容量絶縁膜309Aが形成されていると共に、第1の容量絶縁膜309Aを覆うように、例えばシリコンからなる第1の容量上部電極310Aが形成されている。これにより、第1のメモリ領域 R_A に第1のDRAM部102のセルキャパシタが設けられる。粗面308を含む第2の容量下部電極306Bを覆うように、例えばON膜あるいは高誘電率を有する金属酸化膜からなる第2の容量絶縁膜309Bが形成されていると共に、第2の容量絶縁膜309Bを覆うように、例えばシリコンからなる第2の容量上部電極310Bが形成されてい

る。これにより、第2のメモリ領域 R_B に第2のDRAM部103のセルキャパシタが設けられる。第1の層間絶縁膜304、第1の容量上部電極310A及び第2の容量上部電極310Bのそれぞれの上に、第2の層間絶縁膜311が形成されている。第2の層間絶縁膜311上には配線層312が形成されている。配線層312の一部は、第1の容量上部電極310A及び第2の容量上部電極310Bのそれぞれと接続するように形成されている。

【0095】

第3の実施形態に係る半導体装置の特徴は、第2のメモリ領域 R_B の第2の容量下部電極306Bの表面が粗面308になっているところにある。したがって、第2のメモリ領域 R_B の第2の容量下部電極306Bの表面積が、第1のメモリ領域 R_A の第1の容量下部電極306Aの表面積よりも広がっている。すなわち、第2のメモリ領域 R_B に形成されたセルキャパシタの容量が、第1のメモリ領域 R_A に形成されたセルキャパシタの容量よりも大きくなっている。具体的には、第2の容量下部電極306Bの表面がHSG (hemi spherical grained) 化技術により粗面308になっているとすると、第1のメモリ領域 R_A に形成されたセルキャパシタの容量が10fF程度であるのに対して第2のメモリ領域 R_B に形成されたセルキャパシタの容量は20fF程度になる。

【0096】

次に、第3の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【0097】

図6(a)～(d)は、第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。尚、図6(a)～(d)において、図5に示す、第3の実施形態に係る半導体装置と同一の部材には同一の符号を付す。

【0098】

図6(a)に示すように、半導体基板300における第1のメモリ領域 R_A の上に第1のゲート絶縁膜301Aを介して第1のゲート電極302Aを形成すると共に半導体基板300における第2のメモリ領域 R_B の上に第2のゲート絶縁

膜 3 0 1 B を介して第 2 のゲート電極 3 0 2 B を形成する。これにより、第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B のそれぞれにトランスファークゲートが設けられる。その後、半導体基板 3 0 0 における第 1 のゲート電極 3 0 2 A の両側に位置する領域に第 1 の拡散層 3 0 3 A を形成すると共に、半導体基板 3 0 0 における第 2 のゲート電極 3 0 2 B の両側に位置する領域に第 2 の拡散層 3 0 3 B を形成する。その後、半導体基板 3 0 0 の上に全面に亘って、第 1 の層間絶縁膜 3 0 4 を形成する。その後、第 1 の層間絶縁膜 3 0 4 における第 1 のメモリ領域 R_A に、第 1 の拡散層 3 0 3 A と接続する例えばシリコンからなる第 1 のコンタクトプラグ 3 0 5 A を形成する。これと同時に、第 1 の層間絶縁膜 3 0 4 における第 2 のメモリ領域 R_B に、第 2 の拡散層 3 0 3 B と接続する例えばシリコンからなる第 2 のコンタクトプラグ 3 0 5 B を形成する。その後、第 1 の層間絶縁膜 3 0 4 における第 1 のメモリ領域 R_A の上に、円筒部分に底の部分をつけた形を有し且つ第 1 のコンタクトプラグ 3 0 5 A と接続する第 1 の容量下部電極 3 0 6 A を形成する。これと同時に、第 1 の層間絶縁膜 3 0 4 における第 2 のメモリ領域 R_B の上に、円筒部分に底の部分をつけた形を有し且つ第 2 のコンタクトプラグ 3 0 5 B と接続する第 2 の容量下部電極 3 0 6 B を形成する。第 1 の容量下部電極 3 0 6 A 及び第 2 の容量下部電極 3 0 6 B は、例えばアモルファスシリコンからなる。

【 0 0 9 9 】

次に、図 6 (b) に示すように、第 1 の層間絶縁 3 0 4 における第 1 のメモリ領域 R_A の上に、フォトレジスト 3 0 7 を、第 1 の容量下部電極 3 0 6 A が完全にマスクされるように形成する。その後、第 2 のメモリ領域 R_B の第 2 の容量下部電極 3 0 6 B を、例えばフッ化水素酸を含む薬液にさらすことにより、第 2 の容量下部電極 3 0 6 B の表面を覆う自然酸化により形成されたシリコン酸化膜 (図示省略) を除去する。

【 0 1 0 0 】

次に、図 6 (c) に示すように、第 2 のメモリ領域 R_B の第 2 の容量下部電極 3 0 6 B の表面を、例えば H S G 化技術を用いることにより、具体的には、例えばシランあるいはジシランを含むシリコン含有ガス雰囲気中で半導体基板 3 0 0

に対して 620℃ 近辺の熱処理を行なうことにより、半球状の凹凸を有する粗面 308 にする。その後、第 1 のメモリ領域 R_A に形成されたフォトリジスト 307 を除去する。

【0101】

次に、図 6 (d) に示すように、半導体基板 300 の上に全面に亘って、例えば ON 膜あるいは高誘電率を有する金属酸化膜からなる絶縁膜、及び、例えばシリコンからなる電極膜を順次形成する。その後、該絶縁膜及び該電極膜をパターニングすることにより、第 1 の容量下部電極 306A を覆うように第 1 の容量絶縁膜 309A を形成すると共に、第 1 の容量絶縁膜 309A を覆うように第 1 の容量上部電極 310A を形成する。これと同時に、第 2 の容量下部電極 306B を覆うように第 2 の容量絶縁膜 309B を形成すると共に、第 2 の容量絶縁膜 309B を覆うように第 2 の容量上部電極 310B を形成する。これにより、第 1 のメモリ領域 R_A に第 1 の DRAM 部 102 のセルキャパシタが設けられると共に、第 2 のメモリ領域 R_B に第 2 の DRAM 部 103 のセルキャパシタが設けられる。その後、半導体基板 300 の上に全面に亘って、第 2 の層間絶縁膜 311 を形成する。その後、第 2 の層間絶縁膜 311 上に配線層 312 を形成する。このとき、配線層 312 の一部が、第 2 の層間絶縁膜 311 に形成されたコンタクトホールを通じて第 1 の容量上部電極 310A 及び第 2 の容量上部電極 310B のそれぞれと接続するように配線層 312 を形成する。以上により、第 1 の DRAM 部 102 及び第 2 の DRAM 部 103 をそれぞれ第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B に形成する。

【0102】

第 3 の実施形態によると、第 1 のメモリ領域 R_A の第 1 の容量下部電極 306A の表面が平坦であるのに対して、第 2 のメモリ領域 R_B の第 2 の容量下部電極 306B の表面は粗面 308 になっている。このため、第 2 のメモリ領域 R_B の第 2 の容量下部電極 306B の表面積が、第 1 のメモリ領域 R_A の第 1 の容量下部電極 306A の表面積よりも広くなっている。すなわち、第 2 のメモリ領域 R_B に形成されたセルキャパシタの容量が第 1 のメモリ領域 R_A に形成されたセルキャパシタの容量よりも大きくなっている。具体的には、第 1 のメモリ領域 R_A

に形成されたセルキャパシタの容量を 10 fF と、一方、第2のメモリ領域 R_B に形成されたセルキャパシタの容量を 20 fF と設定することができる。このようにすると、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成されたセルキャパシタに印加される動作電圧が互いに等しいとすると、第1のメモリ領域 R_A に形成されたセルキャパシタに蓄積される電荷が、第2のメモリ領域 R_B に形成されたセルキャパシタに蓄積される電荷の半分程度になる。したがって、第1のメモリ領域 R_A に形成されたセルキャパシタを容量素子とする第1のDRAM部102では、信号処理を行なう際に多量の電荷を移動させずに済むため、消費電力を低減することができると共に電荷を迅速に移動させることができるので、高速処理を行なうことができる。一方、第2のメモリ領域 R_B に形成されたセルキャパシタを容量素子とする第2のDRAM部103では、多量の電荷を蓄積することができるため、十分な信号保持特性を満足することができる。

【0103】

すなわち、本実施形態のように、セルキャパシタの容量を各DRAM部の用途に応じて最適化すると、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすDRAM混載デバイスを実現することができる。

【0104】

また、第1のDRAM部102のセルキャパシタ及び第2のDRAM部103のセルキャパシタの構成及び材料を互いに共通なものにしながら前記の効果が確実に得られる。

【0105】

尚、第3の実施形態において、第1のメモリセル R_A に形成されたセルキャパシタの容量を $5\sim 20\text{ fF}$ 程度と、また第2のメモリセル R_B に形成されたセルキャパシタの容量を $8\sim 50\text{ fF}$ と設定し、且つ、第1のメモリ領域 R_A に形成されたセルキャパシタの容量を第2のメモリ領域 R_B に形成されたセルキャパシタの容量よりも小さくすれば、同様の効果が得られる。

【0106】

また、第3の実施形態において、第1のコンタクトプラグ305A、第2のコンタクトプラグ305B、第1の容量上部電極310A及び第2の容量上部電極

3 1 0 Bとしてそれぞれシリコンを用いたが、これに代えて、それぞれ他の金属を用いてもよい。

【 0 1 0 7 】

また、第3の実施形態において、第1の容量絶縁膜3 0 9 A及び第2の容量絶縁膜3 0 9 BとしてON膜あるいは高誘電率を有する金属酸化膜を用いたが、これに代えて、他の容量絶縁膜を用いてもよい。

【 0 1 0 8 】

また、第3の実施形態において、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に円筒構造を有するように形成された第1の容量下部電極3 0 6 A及び第2の容量下部電極3 0 6 Bの両面をセルキャパシタとして利用したが、内面のみをセルキャパシタとして利用してもよい。

【 0 1 0 9 】

また、第3の実施形態において、第2のメモリ領域 R_B に円筒構造を有するように形成された第2の容量下部電極3 0 6 Bの両面を粗面化したが、これに代えて、円筒の内面のみを粗面化してもよい。

【 0 1 1 0 】

また、第3の実施形態において、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成されたセルキャパシタの構造として円筒構造を用いたが、これに代えて、円柱構造あるいはその他の構造を用いてもよい。

【 0 1 1 1 】

また、第3の実施形態において、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成されたセルキャパシタは第1の層間絶縁膜3 0 4の上に形成されていたが、第1の層間絶縁膜3 0 4中に形成されるようにしてもよい。この場合、第1の容量下部電極3 0 6 A及び第2の容量下部電極3 0 6 Bの構造である円筒部分の内面をセルキャパシタとして用いればよい。

【 0 1 1 2 】

また、第3の実施形態に係る半導体装置の製造方法において、第2のメモリ領域 R_B の第2の容量下部電極3 0 6 Bの表面を覆うシリコン酸化膜をフッ化水素酸により除去したが、これに代えて、他の方法を用いて該シリコン酸化膜を除去

してもよい。

【 0 1 1 3 】

また、第 3 の実施形態に係る半導体装置の製造方法において、第 2 のメモリ領域 R_B の第 2 の容量下部電極 3 0 6 B の表面が自然酸化膜により覆われる雰囲気中で第 2 の容量下部電極 3 0 6 B を形成していた。しかし、これに代えて、第 2 の容量下部電極 3 0 6 B の表面が酸化されない雰囲気中で第 2 の容量下部電極 3 0 6 B を形成してもよい。この場合、第 2 の容量下部電極 3 0 6 B の表面に形成されたシリコン酸化膜を除去する工程は必要ない。

【 0 1 1 4 】

また、第 3 の実施形態に係る半導体装置の製造方法において、第 2 のメモリ領域 R_B の第 2 の容量下部電極 3 0 6 B の表面を粗面化するシリコン含有ガスとして、シラン若しくはジシランを含むシリコン含有ガスを用いたが、これに代えて、他のシリコン含有ガスを用いてもよい。

【 0 1 1 5 】

また、第 3 の実施形態に係る半導体装置の製造方法において、第 2 のメモリ領域 R_B の第 2 の容量下部電極 3 0 6 B を粗面化する方法としてシリコン含有ガス雰囲気中で 6 2 0 °C 近辺の熱処理を行なったが、これに代えて、第 2 の容量下部電極 3 0 6 B を粗面化する他の方法を用いてもよい。

【 0 1 1 6 】

(第 4 の実施形態)

以下、第 4 の実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。尚、図 1 (a) は、本実施形態においても、本実施形態に係る半導体装置の概略構成を示す平面図である。

【 0 1 1 7 】

図 7 は、第 4 の実施形態に係る半導体装置を示す断面図、具体的には、図 1 (a) に示すチップ 1 0 0 上に搭載された第 1 の DRAM 部 1 0 2 及び第 2 の DRAM 部 1 0 3 のそれぞれを構成するメモリセルを示す断面図である。尚、第 1 の DRAM 部 1 0 2 及び第 2 の DRAM 部 1 0 3 が搭載されているそれぞれの領域を第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B とする。

【 0 1 1 8 】

図 7 に示すように、半導体基板 4 0 0 における第 1 のメモリ領域 R_A の上に、第 1 のゲート絶縁膜 4 0 1 A を介して第 1 のゲート電極 4 0 2 A が形成されている。これにより、第 1 のメモリ領域 R_A にトランスファークゲートが設けられる。半導体基板 4 0 0 における第 2 のメモリ領域 R_B の上に、第 2 のゲート絶縁膜 4 0 1 B を介して第 2 のゲート電極 4 0 2 B が形成されている。これにより第 2 のメモリ領域 R_B にトランスファークゲートが設けられる。半導体基板 4 0 0 における第 1 のゲート電極 4 0 2 A の両側に位置する領域には第 1 の拡散層 4 0 3 A が形成されている。半導体基板 4 0 0 における第 2 のゲート電極 4 0 2 B の両側に位置する領域には第 2 の拡散層 4 0 3 B が形成されている。半導体基板 4 0 0、第 1 のゲート電極 4 0 2 A 及び第 2 のゲート電極 4 0 2 B のそれぞれの上に、第 1 の層間絶縁膜 4 0 4 が形成されている。第 1 の層間絶縁膜 4 0 4 における第 1 のメモリ領域 R_A に、第 1 の拡散層 4 0 3 A と接続する第 1 のコンタクトプラグ 4 0 5 A が形成されている。第 1 の層間絶縁膜 4 0 4 における第 2 のメモリ領域 R_B に、第 2 の拡散層 4 0 3 B と接続する第 2 のコンタクトプラグ 4 0 5 B が形成されている。第 1 の層間絶縁膜 4 0 4 における第 1 のメモリ領域 R_A の上に、円筒部分に底の部分をつけた形を有し且つ第 1 のコンタクトプラグ 4 0 5 A と接続する第 1 の容量下部電極 4 0 6 A が形成されている。第 1 の層間絶縁膜 4 0 4 における第 2 のメモリ領域 R_B の上に、円筒部分に底の部分をつけた形を有し且つ第 2 のコンタクトプラグ 4 0 5 B と接続する第 2 の容量下部電極 4 0 6 B が形成されている。第 1 の容量下部電極 4 0 6 A を覆うように、例えば ON 膜からなる第 1 の低誘電率膜 4 0 7 A が形成されていると共に、第 1 の低誘電率膜 4 0 7 A を覆うように第 1 の容量上部電極 4 1 0 A が形成されている。これにより第 1 のメモリ領域 R_A に第 1 の DRAM 部 1 0 2 のセルキャパシタが設けられる。第 2 の容量下部電極を覆うように、例えば高誘電率を有する酸化タンタル (Ta_2O_5) 膜からなる第 2 の高誘電率膜 4 0 8 B が形成されていると共に、第 2 の高誘電率膜 4 0 8 B を覆うように第 2 の容量上部電極 4 1 0 B が形成されている。これにより、第 2 のメモリ領域 R_B に第 2 の DRAM 部 1 0 3 のセルキャパシタが設けられる。第 1 の層間絶縁膜 4 0 4、第 1 の容量上部電極 4 1 0 A 及び第 2

の容量上部電極 4 1 0 B のそれぞれの上に、第 2 の層間絶縁膜 4 1 1 が形成されている。第 2 の層間絶縁膜 4 1 1 上には配線層 4 1 2 が形成されている。配線層 4 1 2 の一部は、第 2 の層間絶縁膜 4 1 1 に形成されたコンタクトホールを通じて第 1 の容量上部電極 4 1 0 A 及び第 2 の容量上部電極 4 1 0 B のそれぞれと接続するように形成されている。ただし、本実施形態において用いる低誘電率膜及び高誘電率膜とは、互いの誘電率に差があることを意味する。

【 0 1 1 9 】

第 4 の実施形態に係る半導体装置の特徴は、第 1 のメモリ領域 R_A の第 1 の低誘電率膜 4 0 7 A の材料と第 2 のメモリ領域 R_B の第 2 の高誘電率膜 4 0 8 B の材料とが互いに異なるところにある。第 1 のメモリ領域 R_A の第 1 の低誘電率膜 4 0 7 A として用いた ON 膜の比誘電率及び酸化膜換算膜厚が、それぞれ 3.9 及び 4.7 nm に、第 2 のメモリ領域 R_B の第 2 の高誘電率膜 4 0 8 B として用いた Ta_2O_5 膜の比誘電率及び酸化膜換算膜厚が、それぞれ 20 及び 3.2 nm になるようにした場合を考える。この場合、第 1 のメモリ領域 R_A に形成されたセルキャパシタの容量が 10 fF であれば、第 2 のメモリ領域 R_B に形成されたセルキャパシタの容量は、次式 (4) により 14.7 fF となる。

【 0 1 2 0 】

$$10 \text{ fF} \times 4.7 \text{ nm} \div 3.2 \text{ nm} = 14.7 \text{ fF} \quad \cdots (4)$$

したがって、本実施形態によると、第 1 のメモリ領域 R_A に形成されたセルキャパシタの容量を、第 2 のメモリ領域 R_B に形成されたセルキャパシタの容量よりも小さくすることができる。

【 0 1 2 1 】

次に、第 4 の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【 0 1 2 2 】

図 8 (a) ~ (d) は、第 4 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。尚、図 8 (a) ~ (d) において、図 7 に示す、第 4 の実施形態に係る半導体装置と同一の部材には同一の符号を付す。

【 0 1 2 3 】

図 8 (a) に示すように、半導体基板 4 0 0 における第 1 のメモリ領域 R_A の上に第 1 のゲート絶縁膜 4 0 1 A を介して第 1 のゲート電極 4 0 2 A を形成すると共に、半導体基板 4 0 0 における第 2 のメモリ領域 R_B の上に第 2 のゲート絶縁膜 4 0 1 B を介して第 2 のゲート電極 4 0 2 B を形成する。これにより、第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B にそれぞれトランスファークゲートが設けられる。その後、半導体基板 4 0 0 における第 1 のゲート電極 4 0 2 A の両側に位置する領域に第 1 の拡散層 4 0 3 A を形成すると共に、半導体基板 4 0 0 における第 2 のゲート電極 4 0 2 B の両側に位置する領域に第 2 の拡散層 4 0 3 B を形成する。その後、半導体基板 4 0 0 の上に全面に亘って、第 1 の層間絶縁膜 4 0 4 を形成する。その後、第 1 の層間絶縁膜 4 0 4 における第 1 のメモリ領域 R_A に、第 1 の拡散層 4 0 3 A と接続する第 1 のコンタクトプラグ 4 0 5 A を形成すると共に、第 1 の層間絶縁膜 4 0 4 における第 2 のメモリ領域 R_B に、第 2 の拡散層 4 0 3 B と接続する第 2 のコンタクトプラグ 4 0 5 B を形成する。その後、第 1 の層間絶縁膜 4 0 4 における第 1 のメモリ領域 R_A の上に、円筒部分に底の部分を付けた形を有し且つ第 1 のコンタクトプラグ 4 0 5 A と接続する第 1 の容量下部電極 4 0 6 A を形成すると共に、第 1 の層間絶縁膜 4 0 4 における第 2 のメモリ領域 R_B の上に、円筒部分に底の部分を付けた形を有し且つ第 2 のコンタクトプラグ 4 0 5 B と接続する第 2 の容量下部電極 4 0 6 B を形成する。その後、半導体基板 4 0 0 の上に全面に亘って、例えばシリコン窒化膜からなる低誘電率膜、及び、例えば Ta_2O_5 膜からなる高誘電率膜を形成する。その後、該低誘電率膜及び該高誘電率膜をパターニングすることにより、第 1 の容量下部電極 4 0 6 A を覆うように第 1 の低誘電率膜 4 0 7 A を形成すると共に、第 1 の低誘電率膜 4 0 7 A を覆うように第 1 の高誘電率膜 4 0 8 A を形成する。これと同時に、第 2 の容量下部電極 4 0 6 B を覆うように第 2 の低誘電率膜 4 0 7 B を形成すると共に、第 2 の低誘電率膜 4 0 7 B を覆うように第 2 の高誘電率膜 4 0 8 B を形成する。

【 0 1 2 4 】

次に、図 8 (b) に示すように、第 2 のメモリ領域 R_B の第 2 の高誘電率膜 4 0 8 B 上に、第 2 の高誘電率膜 4 0 8 B が完全にマスクされるように、レジスト

マスク 4 0 9 を形成する。

【 0 1 2 5 】

次に、図 8 (c) に示すように、第 1 のメモリ領域 R_A の第 1 の高誘電率膜 4 0 8 A を、例えばフッ化水素酸を含む薬液を用いてウエットエッチングすることにより選択的に除去する。その後、例えば酸素を含む雰囲気中で、半導体基板 4 0 0 に対して熱処理を行なうことにより、第 1 のメモリ領域 R_A の第 1 の低誘電率膜 4 0 7 A を酸化によりシリコン窒化膜とシリコン酸化膜との積層膜 (ON 膜) にすると共に、第 2 のメモリ領域 R_B の第 2 の高誘電率膜 4 0 8 B に酸素を添加しつつ該第 2 の高誘電率膜 4 0 8 B を結晶化させる。

【 0 1 2 6 】

次に、図 8 (d) に示すように、半導体基板 4 0 0 の上に全面に亘って、金属膜を形成する。その後、フォトリソグラフィ法及びドライエッチングにより該金属膜をパターニングすることにより、第 1 の低誘電率膜 4 0 7 A を覆うように第 1 の容量上部電極 4 1 0 A を形成すると共に、第 2 の高誘電率膜 4 0 8 B を覆うように第 2 の容量上部電極 4 1 0 B を形成する。これにより、第 1 のメモリ領域 R_A に第 1 の DRAM 部 1 0 2 のセルキャパシタが設けられると共に、第 2 のメモリ領域 R_B に第 2 の DRAM 部 1 0 3 のセルキャパシタが設けられる。その後、半導体基板 4 0 0 の上に全面に亘って、第 2 の層間絶縁膜 4 1 1 を形成する。その後、第 2 の層間絶縁膜 4 1 1 上に配線層 4 1 2 を形成する。このとき、配線層 4 1 2 の一部が、第 2 の層間絶縁膜 4 1 1 に形成されたコンタクトホールを通じて第 1 の容量上部電極 4 1 0 A 及び第 2 の容量上部電極 4 1 0 B のそれぞれと接続するように配線層 4 1 2 を形成する。以上により、第 1 の DRAM 部 1 0 2 及び第 2 の DRAM 部 1 0 3 をそれぞれ第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B に形成する。

【 0 1 2 7 】

第 4 の実施形態によると、第 1 のメモリ領域 R_A に形成されたセルキャパシタの容量絶縁膜は ON 膜により構成されている。一方、第 2 のメモリ領域 R_B に形成されたセルキャパシタの容量絶縁膜はシリコン窒化膜と高誘電率を有する Ta_2O_5 膜とから構成されている (ただし、本実施形態に係る半導体装置においては

、第2のメモリ領域 R_B に形成されたセルキャパシタの容量絶縁膜は Ta_2O_5 膜のみで構成されている)。このため、第1のメモリ領域 R_A のセルキャパシタの容量が第2のメモリ領域 R_B のセルキャパシタの容量よりも小さくなっている。具体的に、第1の低誘電率膜407Aを構成するON膜を比誘電率が5に、一方第2の高誘電率膜408Bを構成する Ta_2O_5 膜を比誘電率が10になるようにすると、第1のメモリ領域 R_A に形成されたセルキャパシタの容量は例えば10fFに、一方、第2のメモリ領域 R_B に形成されたセルキャパシタの容量は例えば20fFにすることができる。このため、第1のメモリ領域 R_A に形成されたセルキャパシタの容量が第2のメモリ領域 R_B に形成されたセルキャパシタの容量の半分程度になる。すなわち、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成されたそれぞれのセルキャパシタに印加される電圧が互いに等しい場合、第1のメモリ領域 R_A に形成されたセルキャパシタに蓄積される電荷が、第2のメモリ領域 R_B に形成されたセルキャパシタに蓄積される電荷の半分程度になる。これにより、第1のメモリ領域 R_A に形成されたセルキャパシタを容量素子とする第1のDRAM部102では、信号処理を行なう際に多量の電荷を移動させずに済むため、消費電力を低減することができると共に電荷を迅速に移動させることができるので、高速処理を行なうことができる。一方、第2のメモリ領域 R_B に形成されたセルキャパシタを容量素子とする第2のDRAM部103では、多量の電荷を蓄積することができるため、十分な信号保持特性を満足することができる。

【0128】

すなわち、本実施形態のように、セルキャパシタの容量を各DRAM部の用途に応じて最適化すると、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たすDRAM混載デバイスを実現することができる。

【0129】

尚、第4の実施形態において、第1の低誘電率膜407AはON膜から、第2の低誘電率膜407Bはシリコン窒化膜から、また第2の高誘電率膜408Bは Ta_2O_5 膜から構成されていたが、これに代えて、他の容量絶縁膜を用いてもよい。具体的には、第2の高誘電率膜408Bとして、例えばアルミニウム酸化

膜あるいはBST（バリウムストロンチウムチタネイトオキサイド）などの高誘電率を有する膜を用いることが好ましい。ただし、第1のメモリ領域 R_A に形成するセルキャパシタの容量を、第2のメモリ領域 R_B に形成するセルキャパシタの容量よりも小さくする必要がある。

【0130】

また、第4の実施形態において、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に円筒構造を有するように形成された第1の容量下部電極406A及び第2の容量下部電極406Bの両面をセルキャパシタとして利用したが、内面のみをセルキャパシタとして利用してもよい。

【0131】

また、第4の実施形態において、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成されたセルキャパシタの構造として円筒構造を用いたが、これに代えて、円柱構造あるいはその他の構造を用いてもよい。

【0132】

また、第4の実施形態において、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成されたセルキャパシタの構造として円筒部分に底の部分をつけたスタック型キャパシタを用いたが、これに代えて、単純スタック型キャパシタを用いてもよい。

【0133】

また、第4の実施形態において、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成されたセルキャパシタは第1の層間絶縁膜404の上に形成されているが、第1の層間絶縁膜404中に形成されるようにしてもよい。この場合、第1の容量下部電極406A及び第2の容量下部電極406Bの構造である円筒部分の内面をセルキャパシタとして用いればよい。

【0134】

また、第4の実施形態に係る半導体装置の製造方法において、第2のDRAM部103のセルキャパシタを構成する容量絶縁膜を、第2の低誘電率膜407Bと第2の高誘電率膜408Bとから構成した。しかし、第2のDRAM部103のセルキャパシタを構成する容量絶縁膜を第2の高誘電率膜408Bのみから構

成してもよい。この場合、第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B にそれぞれ第 1 の低誘電率膜 4 0 7 A 及び第 2 の高誘電率膜 4 0 8 B を別々に形成すればよい。

【 0 1 3 5 】

(第 5 の実施形態)

以下、第 5 の実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。尚、図 1 (a) は、本実施形態においても、本実施形態に係る半導体装置の概略構成を示す平面図である。

【 0 1 3 6 】

図 9 は、第 5 の実施形態に係る半導体装置を示す断面図、具体的には、図 1 (a) に示すチップ 1 0 0 上に搭載された第 1 の DRAM 部 1 0 2 及び第 2 の DRAM 部 1 0 3 のそれぞれを構成するメモリセルを示す断面図である。尚、第 1 の DRAM 部 1 0 2 及び第 2 の DRAM 部 1 0 3 が搭載されているそれぞれの領域を第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B とする。

【 0 1 3 7 】

図 9 に示すように、例えばシリコンからなる半導体基板 5 0 0 における第 1 のメモリ領域 R_A の上に、第 1 のゲート絶縁膜 5 0 1 A を介して第 1 のゲート電極 5 0 2 A が形成されている。これにより、第 1 のメモリ領域 R_A にトランスファークエーゲートが設けられる。半導体基板 5 0 0 における第 2 のメモリ領域 R_B の上に、第 2 のゲート絶縁膜 5 0 1 B を介して第 2 のゲート電極 5 0 2 B が形成されている。これにより、第 2 のメモリ領域 R_B にトランスファークエーゲートが設けられる。半導体基板 5 0 0 における第 1 のゲート電極 5 0 2 A の両側に位置する領域には第 1 の拡散層 5 0 3 A が形成されている。また、第 1 のゲート電極 5 0 2 A 及び第 1 の拡散層 5 0 3 A の上にはシリサイド層 5 1 6 が形成されている。半導体基板 5 0 0 における第 2 のゲート電極 5 0 2 B の両側に位置する領域には第 2 の拡散層 5 0 3 B が形成されている。半導体基板 5 0 0、第 1 のゲート電極 5 0 2 A 及び第 2 のゲート電極 5 0 2 B のそれぞれの上に、第 1 の層間絶縁膜 5 0 4 が形成されている。第 1 の層間絶縁膜 5 0 4 における第 1 のメモリ領域 R_A には、第 1 の拡散層 5 0 3 A と接続する例えばタングステンからなる第 1 のコンタクト

プラグ 5 1 0 が形成されている。第 1 の層間絶縁膜 5 0 4 における第 2 のメモリ領域 R_B に、第 2 の拡散層 5 0 3 B と接続する例えばシリコンからなる第 2 のコンタクトプラグ 5 0 7 が形成されている。第 1 の層間絶縁膜 5 0 4 における第 1 のメモリ領域 R_A の上に、円筒部分に底の部分を付けた形を有し且つ第 1 のコンタクトプラグ 5 1 0 と接続する第 1 の容量下部電極 5 1 1 A が形成されている。第 1 の層間絶縁膜 5 0 4 における第 2 のメモリ領域 R_B の上に、円筒部分に底の部分を付けた形を有し且つ第 2 のコンタクトプラグ 5 0 7 と接続する第 2 の容量下部電極 5 1 1 B が形成されている。第 1 の容量下部電極 5 1 1 A を覆うように第 1 の容量絶縁膜 5 1 2 A が形成されていると共に、第 1 の容量絶縁膜 5 1 2 A を覆うように第 1 の容量上部電極 5 1 3 A が形成されている。これにより、第 1 のメモリ領域 R_A に第 1 の DRAM 部 1 0 2 のセルキャパシタが設けられる。第 2 の容量下部電極 5 1 1 B を覆うように第 2 の容量絶縁膜 5 1 2 B が形成されていると共に、第 2 の容量絶縁膜 5 1 2 B を覆うように第 2 の容量上部電極 5 1 3 B が形成されている。これにより、第 2 のメモリ領域 R_B に第 2 の DRAM 部 1 0 3 のセルキャパシタが設けられる。第 1 の層間絶縁膜 5 0 4、第 1 の容量上部電極 5 1 3 A 及び第 2 の容量上部電極 5 1 3 B のそれぞれの上に、第 2 の層間絶縁膜 5 1 4 が形成されている。第 2 の層間絶縁膜 5 1 4 上には配線層 5 1 5 が形成されている。配線層 5 1 5 の一部は、第 2 の層間絶縁膜 5 1 4 に形成されたコンタクトホールを通じて第 1 の容量上部電極 5 1 3 A 及び第 2 の容量上部電極 5 1 3 B のそれぞれと接続するように形成されている。

【 0 1 3 8 】

第 5 の実施形態に係る半導体装置の特徴は、第 1 のメモリ領域 R_A の第 1 の拡散層 5 0 3 A に接続された第 1 のコンタクトプラグ 5 1 0 の材料と、第 2 のメモリ領域 R_B の第 2 の拡散層 5 0 3 B に接続された第 2 のコンタクトプラグ 5 0 7 の材料とが互いに異なるところにある。具体的には、第 1 のコンタクトプラグ 5 1 0 の材料はタンゲステンであるのに対して、第 2 のコンタクトプラグ 5 0 7 の材料はシリコンである。

【 0 1 3 9 】

次に、第 5 の実施形態に係る半導体装置の製造方法について図面を参照しながら

ら説明する。

【 0 1 4 0 】

図 1 0 (a) ~ (e) 及び図 1 1 (a) 、 (b) は、第 5 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。尚、図 1 0 (a) ~ (e) 及び図 1 1 (a) 、 (b) において、図 9 に示す、第 5 の実施形態に係る半導体装置と同一の部材には同一の符号を付す。

【 0 1 4 1 】

図 1 0 (a) に示すように、例えばシリコンからなる半導体基板 5 0 0 における第 1 のメモリ領域 R_A の上に第 1 のゲート絶縁膜 5 0 1 A を介して第 1 のゲート電極 5 0 2 A を形成すると共に、半導体基板 5 0 0 における第 2 のメモリ領域 R_B の上に第 2 のゲート絶縁膜 5 0 1 B を介して第 2 のゲート電極 5 0 2 B を形成する。これにより、第 1 のメモリ領域 R_A 及び第 2 のメモリ領域 R_B のそれぞれにトランスファークゲートが設けられる。その後、半導体基板 5 0 0 における第 1 のゲート電極 5 0 2 A の両側に位置する領域に第 1 の拡散層 5 0 3 A を形成すると共に、半導体基板 5 0 0 における第 2 のゲート電極 5 0 2 B の両側に位置する領域に第 2 の拡散層 5 0 3 B を形成する。(尚、前記の第 5 の実施形態に係る半導体装置を製造するためには、続いて、サリサイド技術を用いて第 1 の拡散層 5 0 3 A 及び第 1 のゲート電極 5 0 2 A の上にシリサイド層 5 1 6 を選択的に形成すればよい。) その後、半導体基板 5 0 0 の上に全面に亘って、例えばホウ素あるいはリンを不純物として含むシリコン酸化膜からなる第 1 の層間絶縁膜 5 0 4 を形成する。その後、第 1 の層間絶縁膜 5 0 4 における第 2 のメモリ領域 R_B に、第 2 の拡散層 5 0 3 B に達する第 2 のコンタクトホール 5 0 5 を、フォトリソグラフィ法及びエッチングにより形成する。

【 0 1 4 2 】

次に、図 1 0 (b) に示すように、半導体基板 5 0 0 の上に全面に亘って、例えばリン含有シリコンからなるシリコン膜 5 0 6 を、第 2 のコンタクトホール 5 0 5 が完全に埋まるように形成する。

【 0 1 4 3 】

次に、図 1 0 (c) に示すように、第 1 の層間絶縁膜 5 0 4 上の不要なシリコ

ン膜 5 0 6 を、例えば化学的機械研磨法により除去することにより、第 2 のコンタクトホール 5 0 5 内に第 2 のコンタクトプラグ 5 0 7 を形成する。

【 0 1 4 4 】

次に、図 1 0 (d) に示すように、第 1 の層間絶縁膜 5 0 4 における第 1 のメモリ領域 R_A に、第 1 の拡散層 5 0 3 A に達する第 1 のコンタクトホール 5 0 8 を、フォトリソグラフィ法及びエッチングにより形成する。

【 0 1 4 5 】

次に、図 1 0 (e) に示すように、半導体基板 5 0 0 の上に全面に亘って、例えばタングステンからなる金属膜 5 0 9 を、第 1 のコンタクトホール 5 0 8 が完全に埋まるように形成する。

【 0 1 4 6 】

次に、図 1 1 (a) に示すように、第 1 の層間絶縁膜 5 0 4 上の不要な金属膜 5 0 9 を、例えば化学的機械研磨法により除去することにより、第 1 のコンタクトホール内に第 1 のコンタクトプラグ 5 1 0 を形成する。

【 0 1 4 7 】

次に、図 1 1 (b) に示すように、第 1 の層間絶縁膜 5 0 4 における第 1 のメモリ領域 R_A の上に、円筒部分に底の部分を付けた形を有し且つ第 1 のコンタクトプラグ 5 1 0 と接続する第 1 の容量下部電極 5 1 1 A を形成する。これと同時に、第 1 の層間絶縁膜 5 0 4 における第 2 のメモリ領域 R_B の上に、円筒部分に底の部分を付けた形を有し且つ第 2 のコンタクトプラグ 5 0 7 と接続する第 2 の容量下部電極 5 1 1 B を形成する。その後、第 1 の容量下部電極 5 1 1 A を覆うように第 1 の容量絶縁膜 5 1 2 A を形成すると共に、第 1 の容量絶縁膜 5 1 2 A を覆うように第 1 の容量上部電極 5 1 3 A を形成する。これと同時に、第 2 の容量下部電極 5 1 1 B を覆うように第 2 の容量絶縁膜 5 1 2 B を形成すると共に第 2 の容量絶縁膜 5 1 2 B を覆うように第 2 の容量上部電極 5 1 3 B を形成する。これにより、第 1 のメモリ領域 R_A に第 1 の DRAM 部 1 0 2 のセルキャパシタが設けられると共に、第 2 のメモリ領域 R_B に第 2 の DRAM 部 1 0 3 のセルキャパシタが設けられる。その後、半導体基板 5 0 0 の上に全面に亘って、第 2 の層間絶縁膜 5 1 4 を形成する。その後、第 2 の層間絶縁膜 5 1 4 上に配線層 5 1

5を形成する。このとき、配線層515の一部が第1の容量上部電極513A及び第2の容量上部電極513Bのそれぞれと接続するように配線層515を形成する。以上により、第1のDRAM部102及び第2のDRAM部103をそれぞれ第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成する。

【0148】

第5の実施形態によると、第1のメモリ領域 R_A の第1のコンタクトプラグ510がタングステンからなっているのに対し、第2のメモリ領域 R_B の第2のコンタクトプラグ507はリン含有シリコンからなっている。このため、第1のメモリ領域 R_A では、第1のコンタクトプラグ510と第1の拡散層503Aとの接触抵抗が、タングステンとシリコンとの接触になるため低くなる。これに加えて、タングステンの抵抗が低いので、両抵抗を合わせても、具体的には数 Ω 程度の低い抵抗にしかない。その結果、第1のコンタクトプラグ510を用いて第1のメモリ領域 R_A に形成された第1のDRAM部102では、信号処理を行なう際に生じる電荷移動に対する抵抗を低く抑えることができるため、高速処理を行なうことができる。これに対して、第2のメモリ領域 R_B では、第2のコンタクトプラグ507と第2の拡散層503Bとの接触抵抗が、シリコンとシリコンとの接触になるため高くなる。これに加えて、シリコンの抵抗が高いので、両抵抗を合わせると、具体的には数10k Ω 程度の高い抵抗になる。このため、第2のメモリ領域 R_B に形成されたセルキャパシタに蓄積された電荷が、第2のコンタクトプラグ507を介して第2の拡散層503Bから半導体基板500へ流失するリーク電流が低減される。これにより、第2のコンタクトプラグ507を用いて第2のメモリ領域 R_B に形成された第2のDRAM部103では、セルキャパシタに蓄積される電荷が流失しにくくなるため、記憶された信号を十分に保持することができると共に電荷を補充するための消費電力を低減することができる。

【0149】

すなわち、本実施形態のように、セルキャパシタと半導体基板とをプラグにより接続することにより生じる抵抗を各DRAM部の用途に応じて最適化すると、十分な信号保持特性を確保しながら低消費電力化と高速性能化とを同時に満たす

DRAM混載デバイスを実現することができる。

【0150】

更に、本実施形態に係る半導体装置によると、第1のコンタクトプラグ510と接続する第1の拡散層503Aにシリサイド層516が形成されているため、第1の拡散層503Aと第1のコンタクトプラグ510との接触抵抗を低くすることができる。このため、前記の効果が確実に得られる。

【0151】

尚、第5の実施形態において、第1のコンタクトプラグ510の材料としてタングステンを用いたが、これに代えて、抵抗の低い他の金属を用いてもよい。

【0152】

また、第5の実施形態において、半導体基板500としてシリコン基板を用いたが、これに代えて、他の半導体基板を用いてもよい。ただし、この場合、該半導体基板に形成された拡散層とコンタクトプラグとの接触抵抗及びコンタクトプラグの抵抗に着目してコンタクトプラグの材料を選択する必要がある。

【0153】

また、第5の実施形態において、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に円筒構造を有するように形成された第1の容量下部電極511A及び第2の容量下部電極511Bの両面をセルキャパシタとして利用したが、内面のみをセルキャパシタとして利用してもよい。

【0154】

また、第5の実施形態において、第1のメモリ領域 R_A 及び第2のメモリ領域 R_B に形成されたセルキャパシタの構造として円筒構造を用いたが、これに代えて、円柱構造あるいはその他の構造を用いてもよい。

【0155】

また、第5の実施形態において、金属膜509を形成する工程と第1のコンタクトホール508を形成する工程の間に、第1のコンタクトホール508の表面に、例えばTiNあるいはTiからなるバリアメタルを形成してもよい。

【0156】

【発明の効果】

本発明によると、同一の半導体基板上に第1のDRAM部及び第2のDRAM部が搭載されていると共に、第1のDRAM部を構成する第1のメモリセルの第1の容量と、第2のDRAM部を構成する第2のメモリセルの第2の容量が互いに異なるように設定されている。このとき、仮に第1の容量が第2の容量よりも小さく設定されているとすると、第1のメモリセルの容量素子に蓄積される電荷が、第2のDRAM部に蓄積される電荷よりも小さくなる。このため、第1のDRAM部では、信号処理を行なう際に多量の電荷を移動させずに済むため、消費電力を低減することができると共に電荷を迅速に移動させることができるので、高速な信号処理を行なうことができる。一方、第2のDRAM部では、多量の電荷が蓄積されるため、十分な信号保持特性を満足することができる。

【0157】

すなわち、本発明によると、互いに異なる容量を持つ複数種類のメモリセルを用いて複数のDRAM部が構成されているため、各DRAM部の用途に応じてメモリセルの持つ容量を最適化することができる。このため、同一チップ上にCMOSロジック部と共に複数のDRAM部が搭載されたDRAM混載デバイスにおいても、低消費電力化と高速性能化とを同時に満たすことができる。

【0158】

また、本発明によると、同一の半導体基板上に第1のDRAM部及び第2のDRAM部が搭載されていると共に、第1のDRAM部の第1の容量素子と半導体基板とを接続する第1のプラグと、第2のDRAM部の第2の容量素子と半導体基板とを接続する第2のプラグとが互いに異なる材料から構成されている。このため、第1のプラグ及び第2のプラグのそれぞれと半導体基板との接触部に生じる抵抗（接触抵抗）、及び、第1のプラグ及び第2のプラグのそれぞれの抵抗を、第1のDRAM部及び第2のDRAM部のそれぞれの用途に応じて最適化することができる。ここで仮に、第1のプラグと半導体基板との接触抵抗と第1のプラグの抵抗とを合わせた抵抗を、第2のプラグと半導体基板との接触抵抗と第2のプラグの抵抗とを合わせた抵抗よりも小さくした場合を考える。この場合、第1のプラグを有する第1のメモリセルからなる第1のDRAM部では、信号処理を行なう際に生じる電荷移動に対する抵抗が低いため、高速な信号処理を行なう

ことができる。これに対して、第2のプラグを有する第2のメモリセルからなる第2のDRAM部では、前記の抵抗が高いため、第2の容量素子に蓄積された電荷が第2のプラグを介して半導体基板へと流出するリーク電流を低減することができる。すなわち、第2のDRAM部では、記憶された信号を十分保持することができると共に電荷を補充するための消費電力を低減することができる。

【0159】

すなわち、本発明によると、容量素子と半導体基板とを接続するプラグが互いに異なるメモリセルを用いて複数のDRAM部が構成されているため、容量素子と半導体基板とを接続するプラグと半導体基板との接触抵抗及びプラグの抵抗を、各DRAM部の用途に応じて最適化することができる。このため、同一チップ上にCMOSロジック部と共に複数のDRAM部が搭載されたDRAM混載デバイスにおいても、低消費電力化と高速性能化とを同時に満たすことができる。

【図面の簡単な説明】

【図1】

(a)は、本発明の第1～第5の実施形態に係る半導体装置の概略構成を示す平面図である、(b)及び(c)は、(a)に示す第1のDRAM部及び第2のDRAM部のそれぞれを構成するメモリセルを示す等価回路図である、(d)及び(e)は、(a)に示す第1のDRAM部及び第2のDRAM部のそれぞれのセルキャパシタの電荷蓄積特性を示すグラフである。

【図2】

本発明の第2の実施形態に係る半導体装置を示す断面図である。

【図3】

(a)～(d)は、本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】

(a)及び(b)は、本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】

本発明の第3の実施形態に係る半導体装置を示す断面図である。

【図 6】

(a) ~ (d) は、本発明の第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 7】

本発明の第 4 の実施形態に係る半導体装置を示す断面図である。

【図 8】

(a) ~ (d) は、本発明の第 4 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 9】

本発明の第 5 の実施形態に係る半導体装置を示す断面図である。

【図 1 0】

(a) ~ (e) は、本発明の第 5 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 1 1】

(a) 及び (b) は、本発明の第 5 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 1 2】

(a) は、従来の DRAM 混載システム L S I チップの概略構成を示す平面図である、(b) は、(a) に示す第 1 の DRAM 部及び第 2 の DRAM 部のセルキャパシタに蓄積される電荷と基準電荷との関係を示す図である、(c) は、(a) に示す第 2 の DRAM 部のメモリセルを示す等価回路図である。

【符号の説明】

- 1 0 0 チップ
- 1 0 1 CMOS ロジック部
- 1 0 2 第 1 の DRAM 部
- 1 0 3 第 2 の DRAM 部
- 1 0 4 A 第 1 のトランスファークゲート
- 1 0 4 B 第 2 のトランスファークゲート
- 1 0 5 A 第 1 のセルキャパシタ

- 1 0 5 B 第 2 のセルキャパシタ
- 2 0 0 半導体基板
- 2 0 1 拡散層
- 2 0 2 絶縁膜
- 2 0 2 A 第 1 のゲート絶縁膜
- 2 0 2 B 第 2 のゲート絶縁膜
- 2 0 3 導電膜
- 2 0 3 A 第 1 のゲート電極
- 2 0 3 B 第 2 のゲート電極
- 2 0 4 第 1 の容量絶縁膜
- 2 0 5 第 1 の容量上部電極
- 2 0 6 A 第 1 の拡散層
- 2 0 6 B 第 2 の拡散層
- 2 0 7 第 1 の層間絶縁膜
- 2 0 8 コンタクトプラグ
- 2 0 9 第 2 の容量下部電極
- 2 1 0 第 2 の容量絶縁膜
- 2 1 1 第 2 の容量上部電極
- 2 1 2 第 2 の層間絶縁膜
- 2 1 3 配線層
- 3 0 0 半導体基板
- 3 0 1 A 第 1 のゲート絶縁膜
- 3 0 1 B 第 2 のゲート絶縁膜
- 3 0 2 A 第 1 のゲート電極
- 3 0 2 B 第 2 のゲート電極
- 3 0 3 A 第 1 の拡散層
- 3 0 3 B 第 2 の拡散層
- 3 0 4 第 1 の層間絶縁膜
- 3 0 5 A 第 1 のコンタクトプラグ

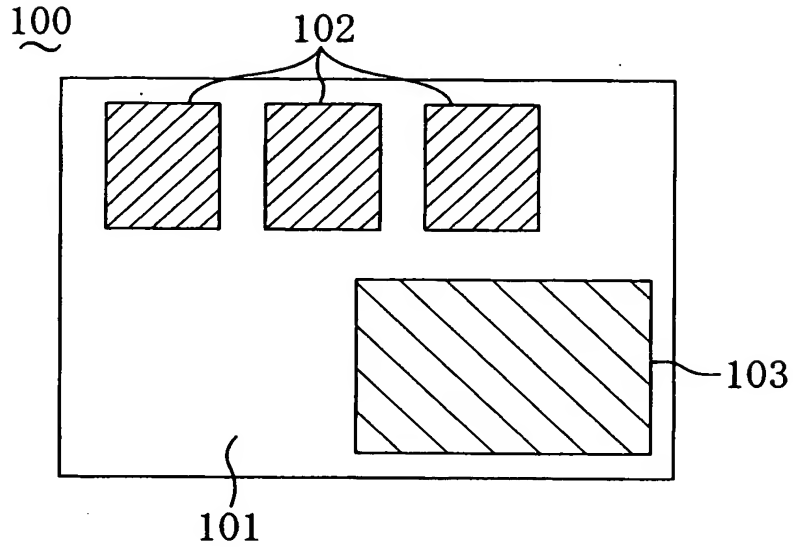
- 3 0 5 B 第 2 のコンタクトプラグ
- 3 0 6 A 第 1 の容量下部電極
- 3 0 6 B 第 2 の容量下部電極
- 3 0 7 フォトレジスト
- 3 0 8 粗面
- 3 0 9 A 第 1 の容量絶縁膜
- 3 0 9 B 第 2 の容量絶縁膜
- 3 1 0 A 第 1 の容量上部電極
- 3 1 0 B 第 2 の容量上部電極
- 3 1 1 第 2 の層間絶縁膜
- 3 1 2 配線層
- 4 0 0 半導体基板
- 4 0 1 A 第 1 のゲート絶縁膜
- 4 0 1 B 第 2 のゲート絶縁膜
- 4 0 2 A 第 1 のゲート電極
- 4 0 2 B 第 2 のゲート電極
- 4 0 3 A 第 1 の拡散層
- 4 0 3 B 第 2 の拡散層
- 4 0 4 第 1 の層間絶縁膜
- 4 0 5 A 第 1 のコンタクトプラグ
- 4 0 5 B 第 2 のコンタクトプラグ
- 4 0 6 A 第 1 の容量下部電極
- 4 0 6 B 第 2 の容量下部電極
- 4 0 7 A 第 1 の低誘電率膜
- 4 0 7 B 第 1 の低誘電率膜
- 4 0 8 A 第 2 の高誘電率膜
- 4 0 8 B 第 2 の高誘電率膜
- 4 0 9 レジストマスク
- 4 1 0 A 第 1 の容量上部電極

4 1 0 B	第 2 の容量上部電極
4 1 1	第 2 の層間絶縁膜
4 1 2	配線層
5 0 0	半導体基板
5 0 1 A	第 1 のゲート絶縁膜
5 0 1 B	第 2 のゲート絶縁膜
5 0 2 A	第 1 のゲート電極
5 0 2 B	第 2 のゲート電極
5 0 3 A	第 1 の拡散層
5 0 3 B	第 2 の拡散層
5 0 4	第 1 の層間絶縁膜
5 0 5	第 2 のコンタクトホール
5 0 6	シリコン膜
5 0 7	第 2 のコンタクトプラグ
5 0 8	第 1 のコンタクトホール
5 0 9	金属膜
5 1 0	第 1 のコンタクトプラグ
5 1 1 A	第 1 の容量下部電極
5 1 1 B	第 2 の容量下部電極
5 1 2 A	第 1 の容量絶縁膜
5 1 2 B	第 2 の容量絶縁膜
5 1 3 A	第 1 の容量上部電極
5 1 3 B	第 2 の容量上部電極
5 1 4	第 2 の層間絶縁膜
5 1 5	配線層
5 1 6	シリサイド層
R _A	第 1 のメモリ領域
R _B	第 2 のメモリ領域

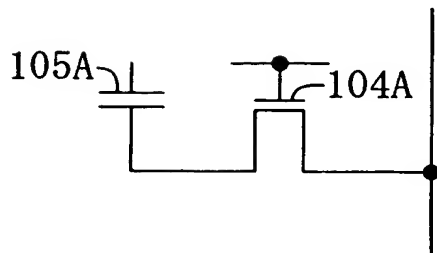
【書類名】 図面

【図 1】

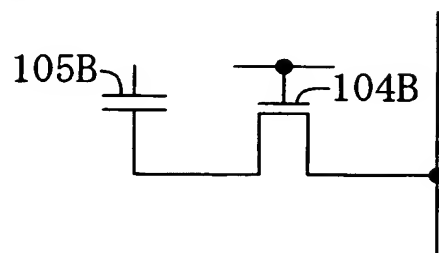
(a)



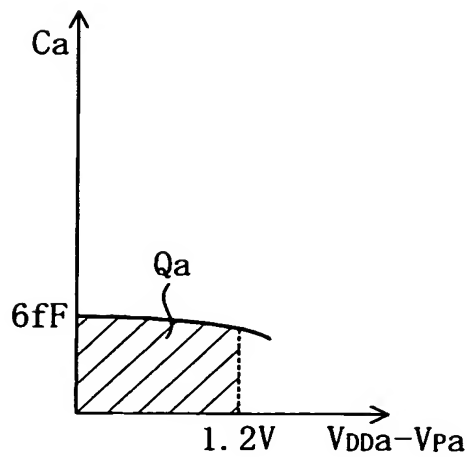
(b)



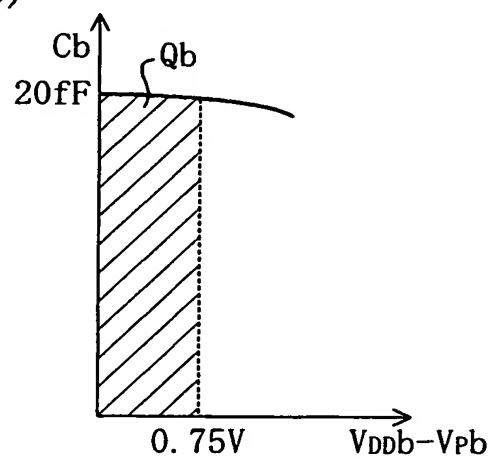
(c)



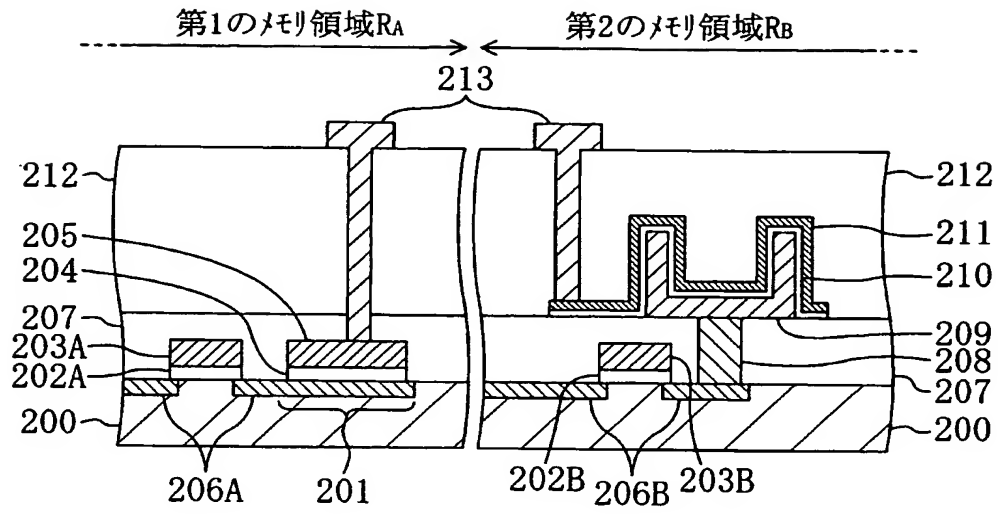
(d)



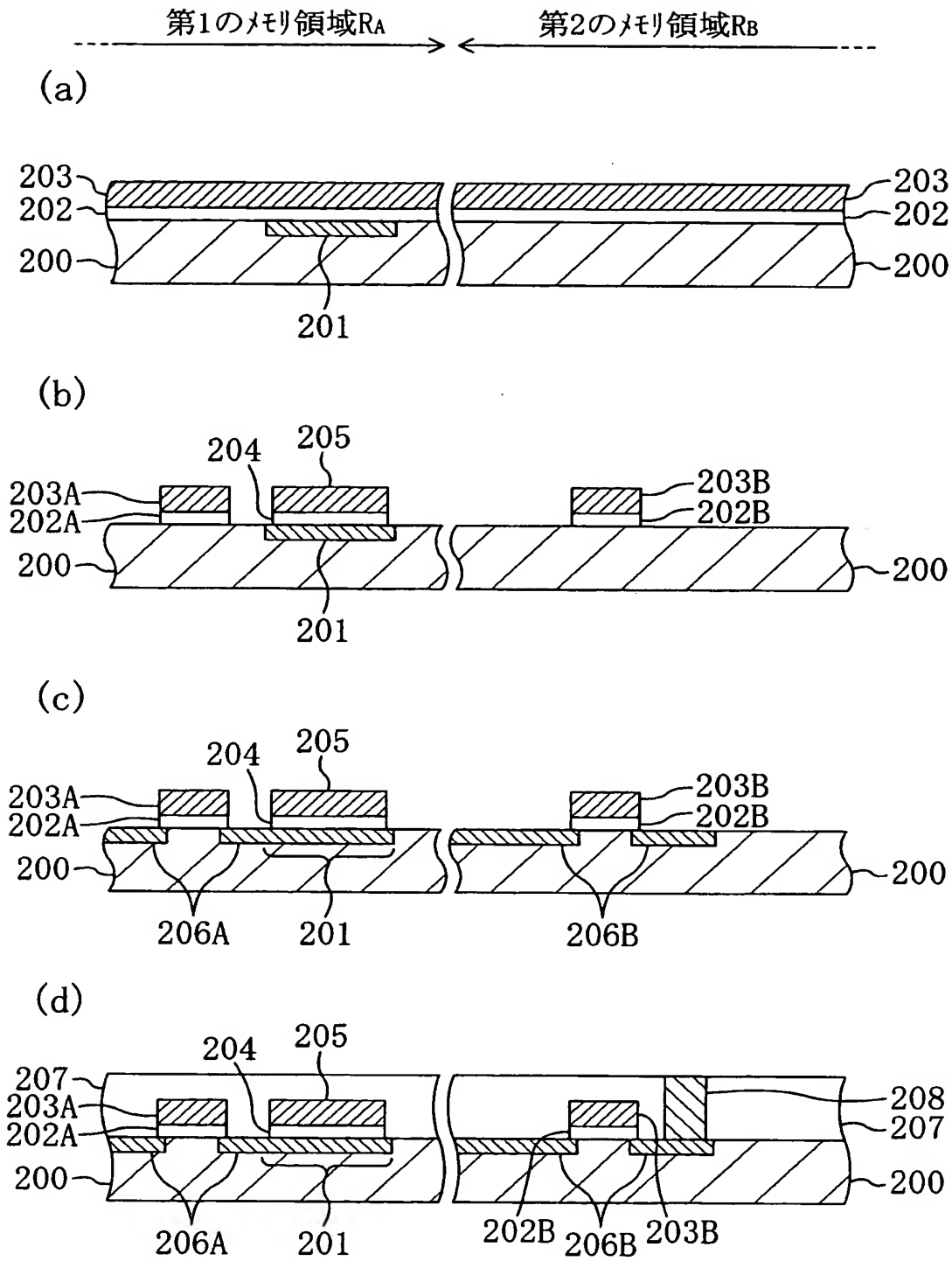
(e)



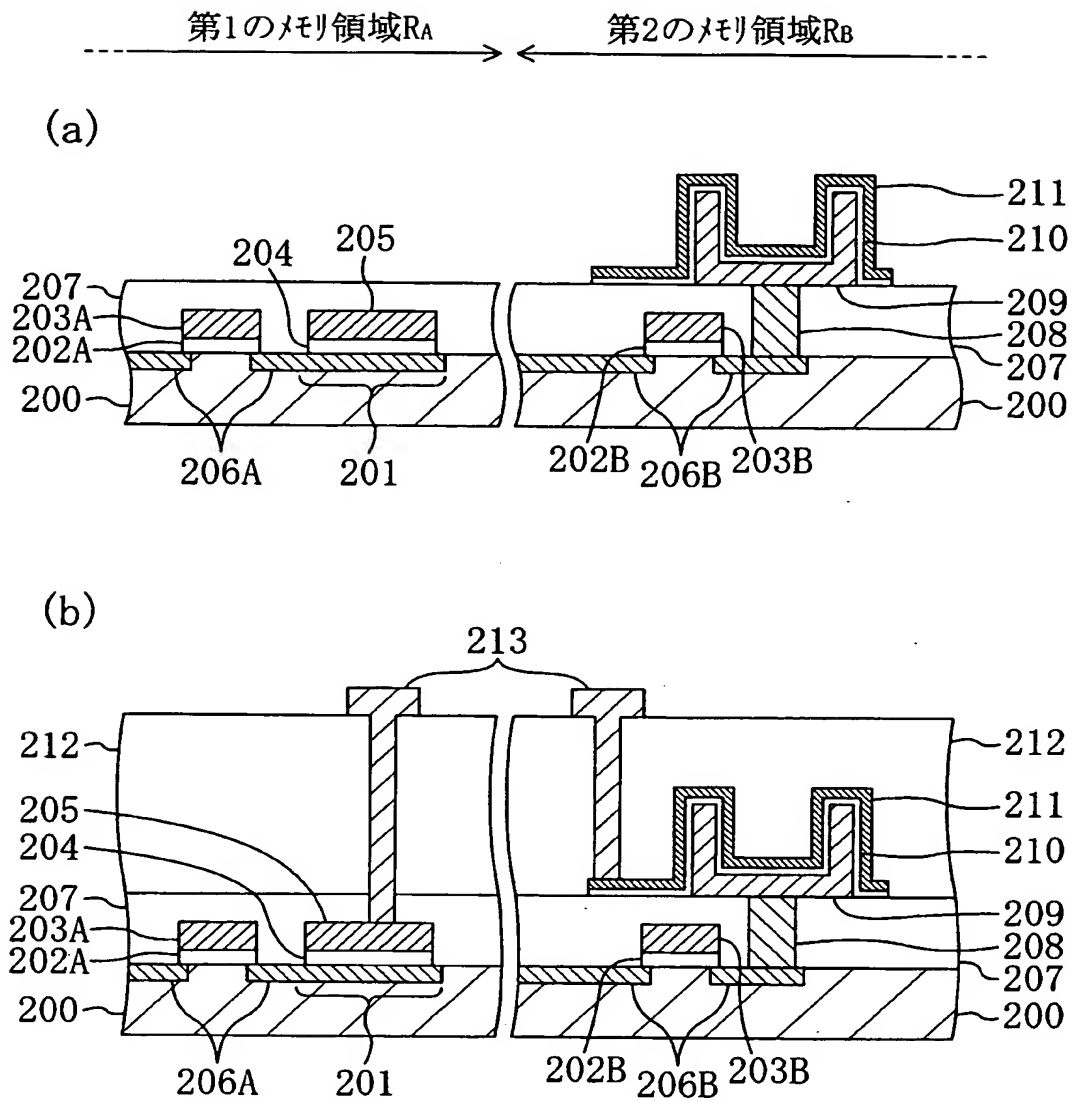
【図 2】



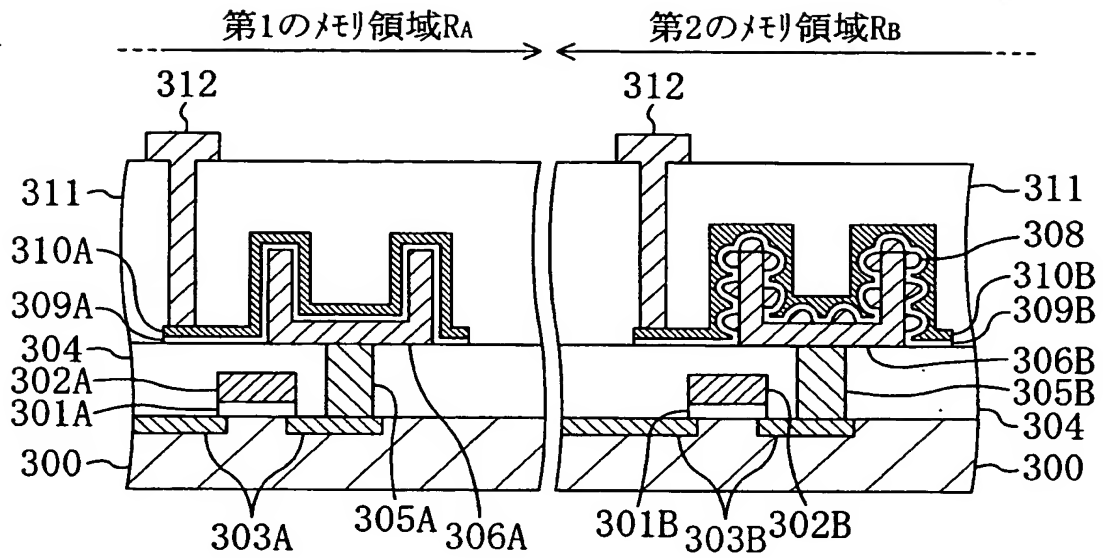
【図 3】



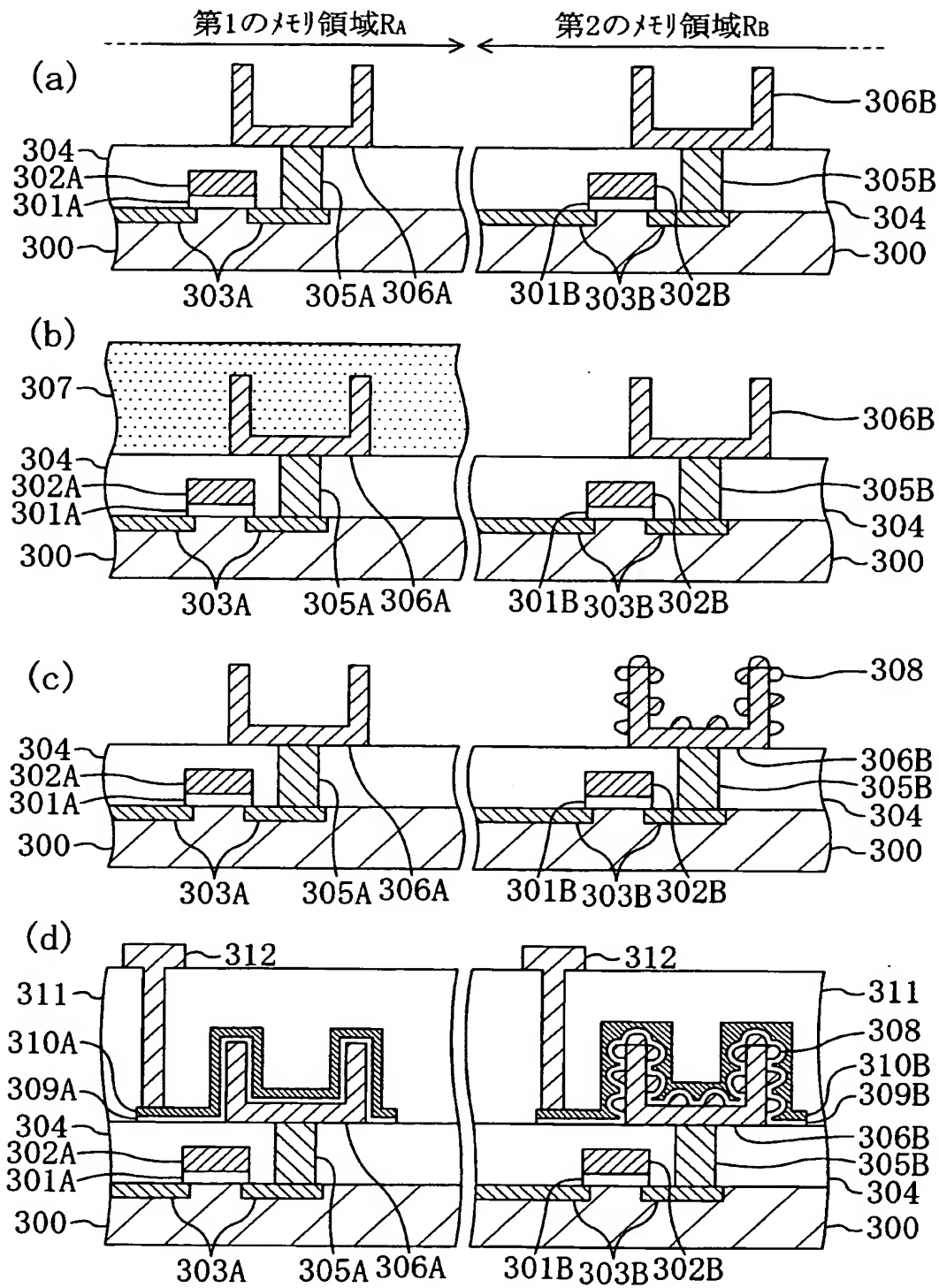
【図 4】



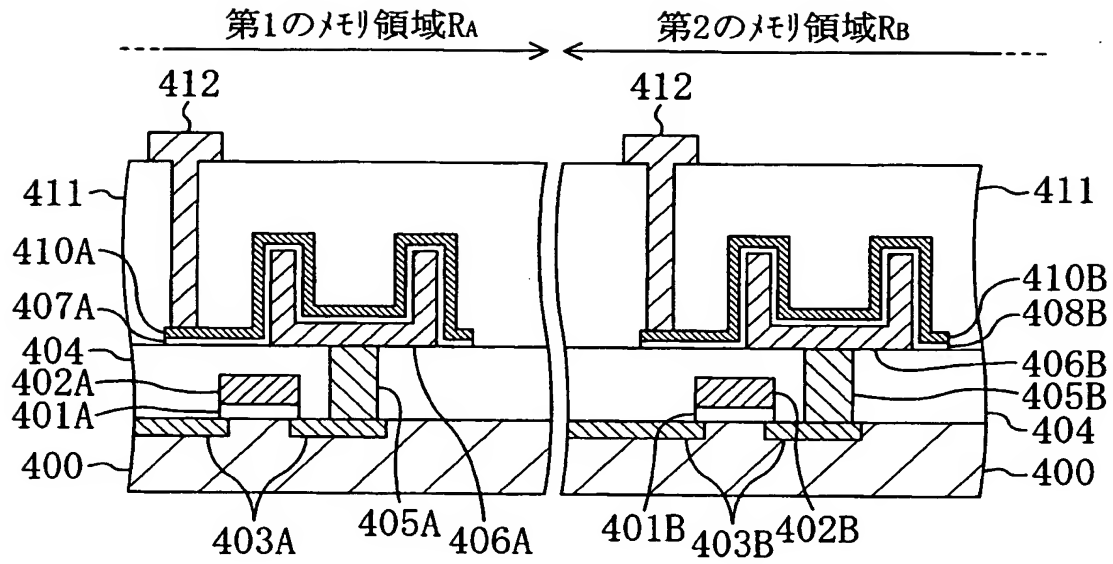
【図 5】



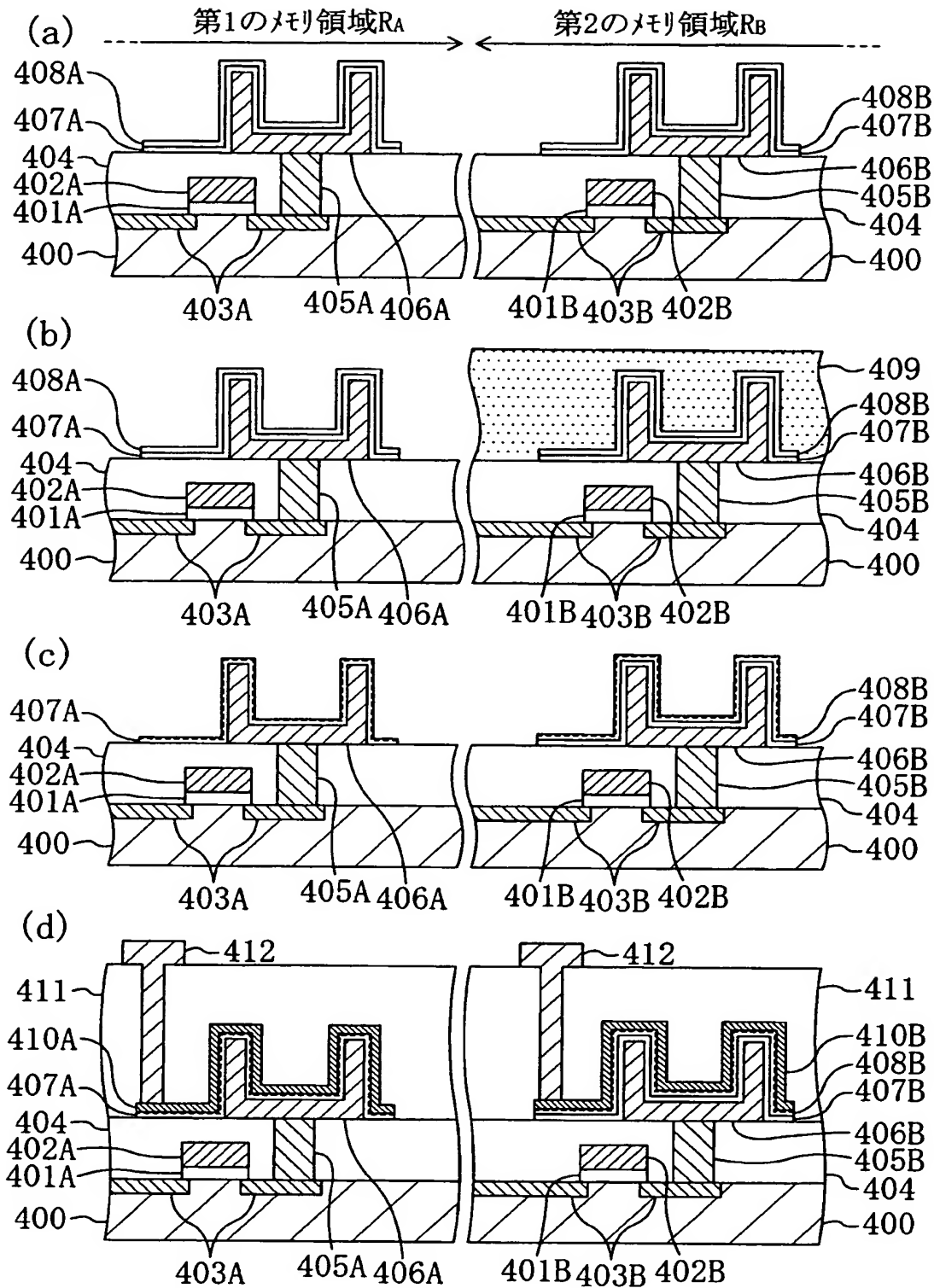
【図 6】



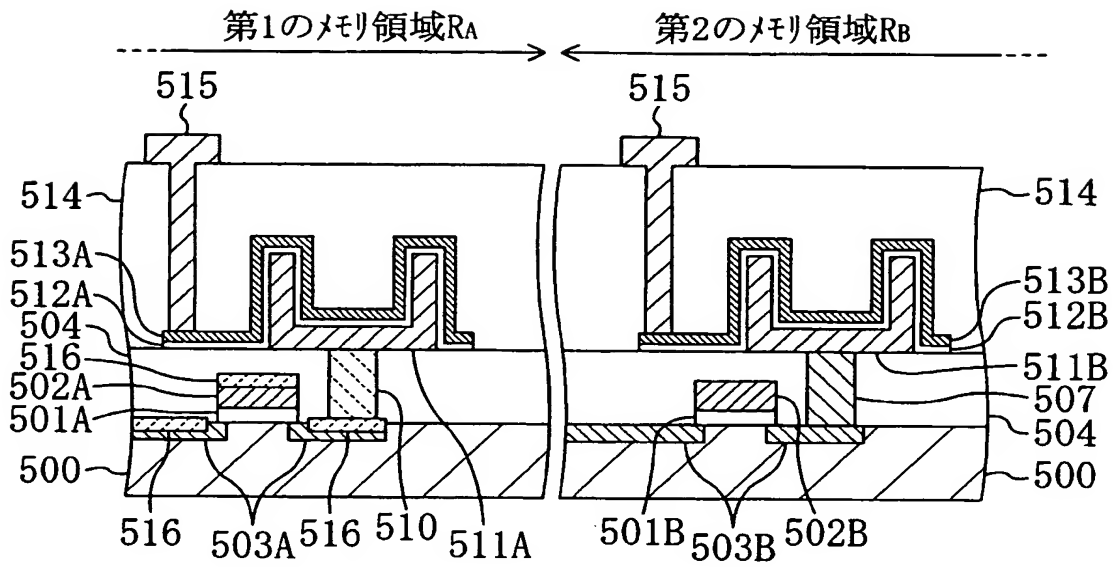
【図 7】



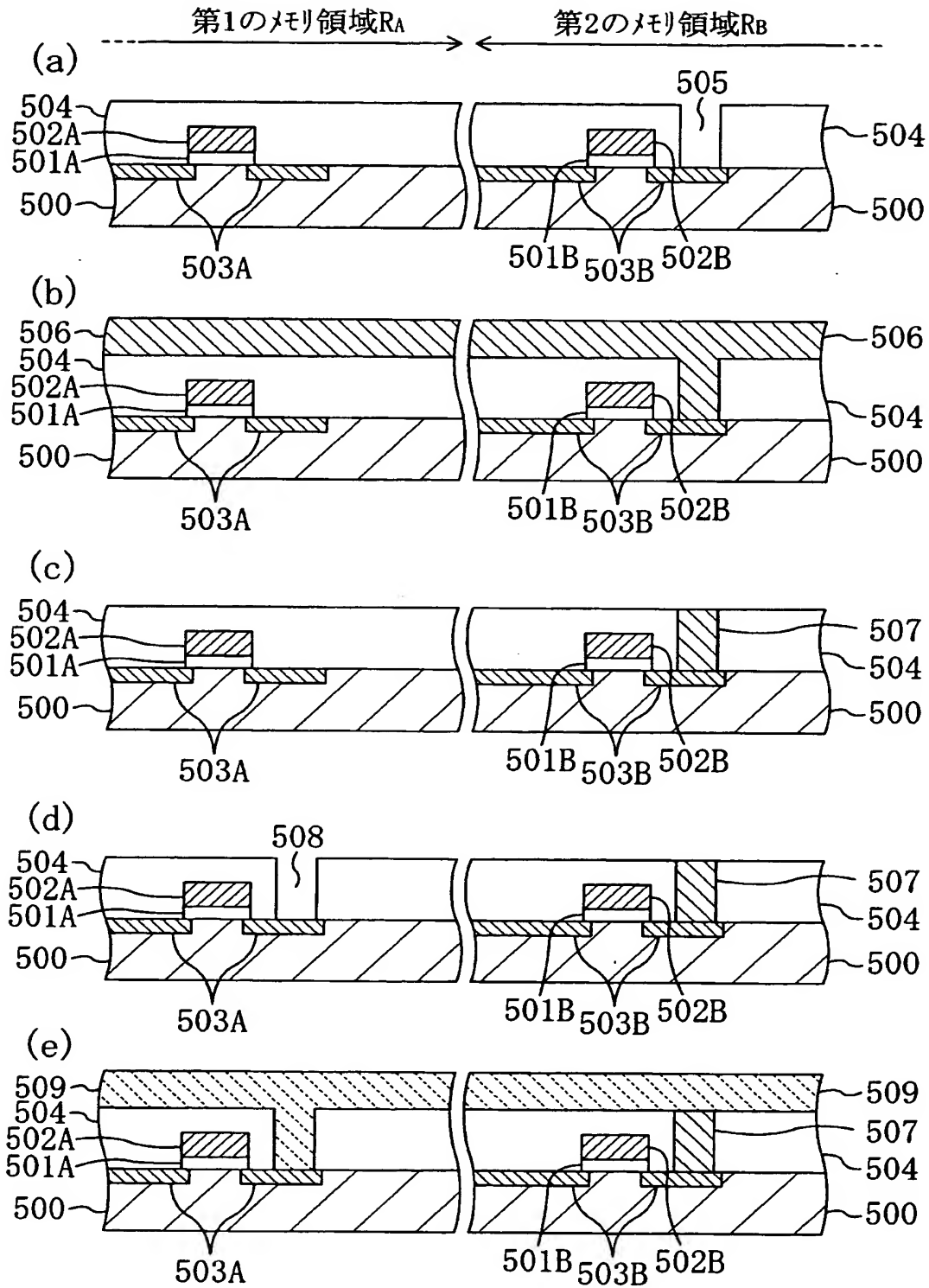
【図 8】



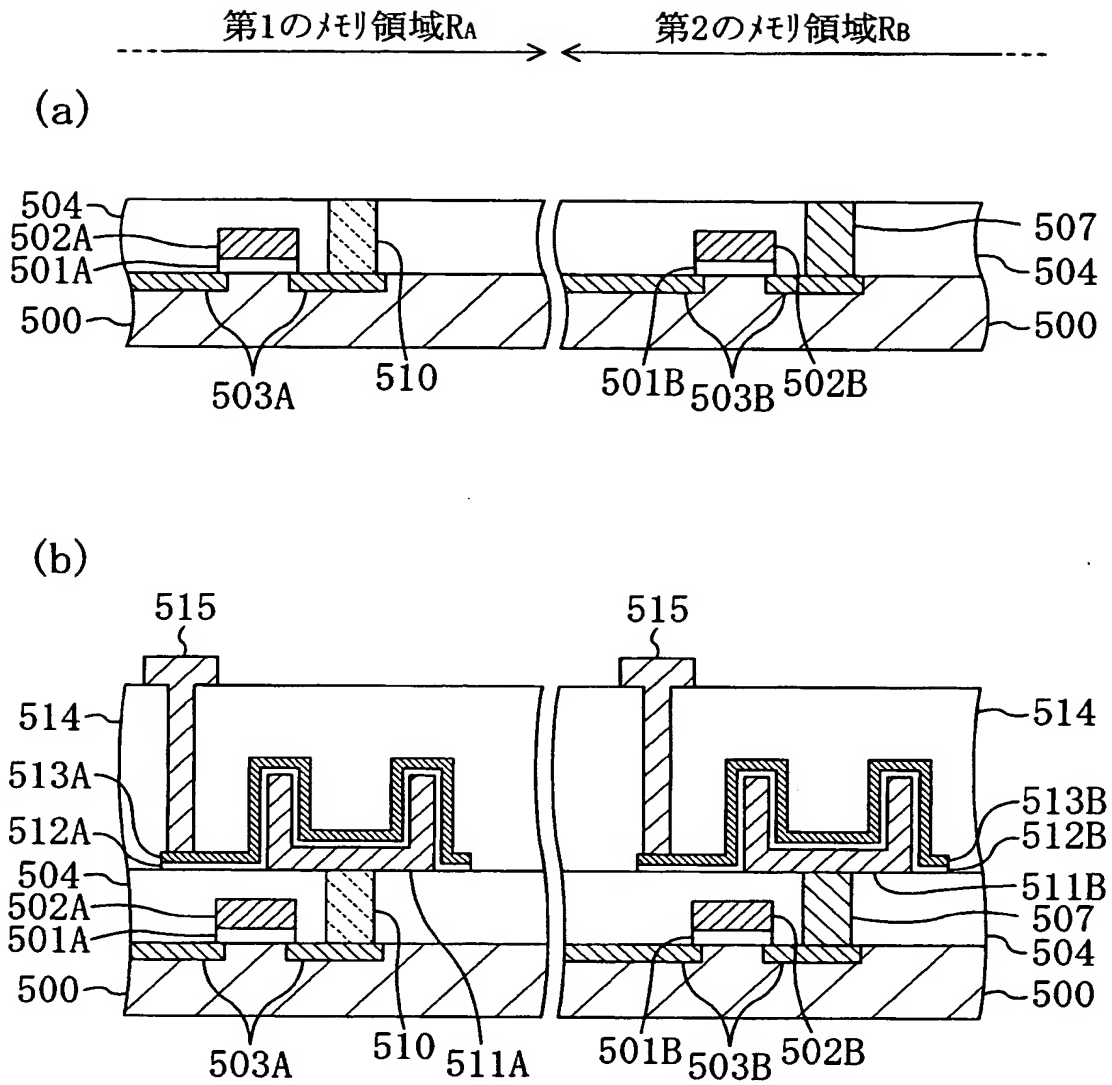
【図 9】



【図 1 0】

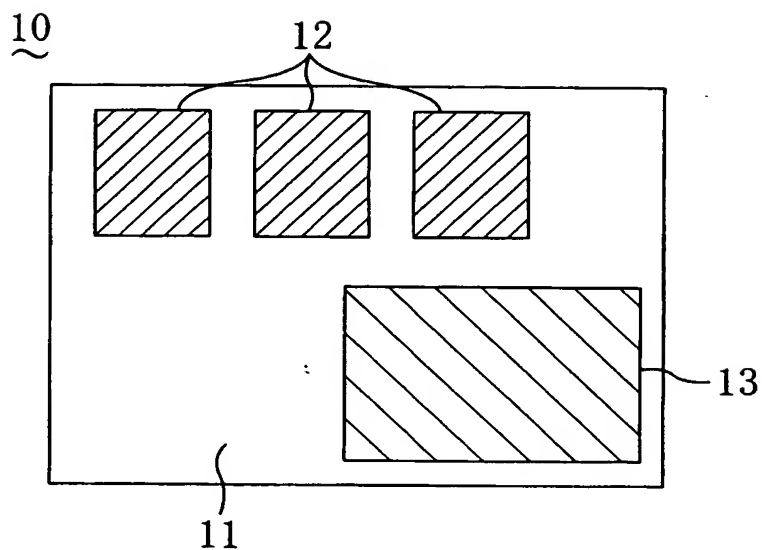


【図 1 1】

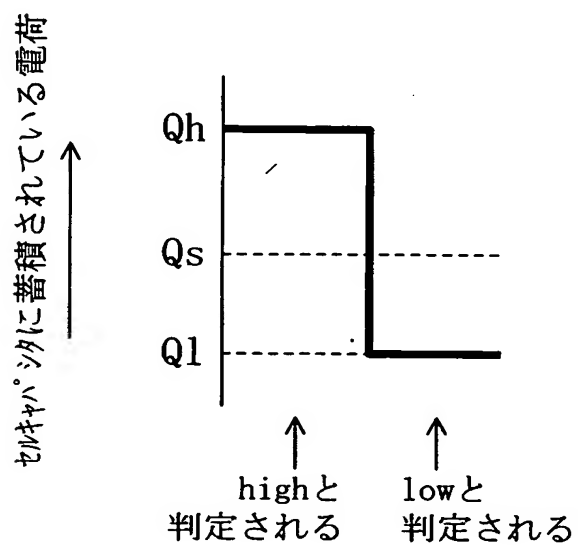


【図12】

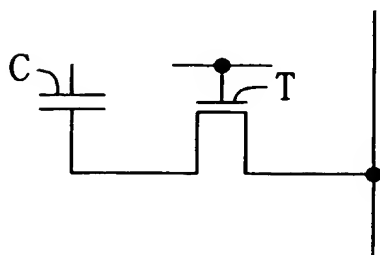
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 従来のDRAM混載システムLSIチップでは、チップ上に複数のDRAM部が搭載されている場合であっても、全てのDRAM部が同一構造のセルキャパシタにより構成されているため、高速にアクセスする必要のあるDRAM部と、十分な信号保持特性を必要とするDRAM部とを両立することが困難であるという問題点がある。

【解決手段】 高速な信号処理が要求される第1のDRAM部102を構成するメモリセルの持つ容量を、十分な信号保持が要求される第2のDRAM部103を構成するメモリセルの持つ容量よりも小さくすることにより、メモリセルの電荷蓄積特性を最適化する。また、DRAM部の容量素子と半導体基板とをプラグで接続することにより生じる抵抗を最適化する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地
氏 名 松下電器産業株式会社